

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JCS21 U.S. PTC
09/760331
01/13/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 1月14日

出 願 番 号

Application Number:

特願2000-010180

出 願 人

Applicant(s):

石川 正俊

日本プレシジョン・サーキット株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月22日

特許庁長官
Commissioner,
Patent Office

及川耕造

出証番号 出証特2000-3104237

【書類名】 特許願

【整理番号】 99P48

【特記事項】 特許法第 3 0 条第 1 項の規定の適用を受けようとする特
許出願

【提出日】 平成12年 1月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/00

【発明者】

 【住所又は居所】 千葉県柏市大室 1 5 7 1 番地の 3 2

 【氏名】 石川 正俊

【発明者】

 【住所又は居所】 東京都文京区白山五丁目 1 3 番 7 号

 【氏名】 石井 抱

【発明者】

 【住所又は居所】 東京都北区西ヶ原一丁目 2 7 番 5 1 号

 【氏名】 小室 孝

【発明者】

 【住所又は居所】 東京都中野区新井一丁目 1 5 番 7 号

 【氏名】 中坊 嘉宏

【発明者】

 【住所又は居所】 東京都江東区福住二丁目 4 番 3 号 日本プレシジョン・
サーキット株式会社内

 【氏名】 吉田 淳

【特許出願人】

 【識別番号】 596094740

 【氏名又は名称】 石川 正俊

【特許出願人】

 【識別番号】 390009667

 【氏名又は名称】 日本プレシジョン・サーキット株式会社

【代表者】 田淵 紀雄

【代理人】

【識別番号】 100067105

【弁理士】

【氏名又は名称】 松田 和子

【連絡先】 TEL : 047-470-7042 担当 鈴木

FAX : 047-470-7044

【手数料の表示】

【予納台帳番号】 013767

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708463

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像検出処理装置

【特許請求の範囲】

【請求項 1】 光電変換を行う光検出器と上記光検出器からの信号をデジタル信号に変換する変換器と上記デジタル信号を入力可能とした加算器とからなる画像検出処理要素の複数個が平面上に配列されてなる画像検出処理装置であって

上記複数の画像検出処理要素の上記加算器を順次接続してなる累積加算器と、
上記複数の画像検出処理要素の上記デジタル信号を選択的に上記累積加算器に入力せしめる制御回路と、

上記光検出器によって検出される画像データに基づき上記累積加算器から出力される処理データが供給される出力部とを更に備えている

ことを特徴とする画像検出処理装置。

【請求項 2】 光電変換を行う光検出器と上記光検出器からの信号をデジタル信号に変換する変換器と上記デジタル信号を入力可能とした第 1 の加算器とからなる画像検出処理要素の複数個が平面上に行列配列されてなる画像検出処理装置であって、

上記複数の画像検出処理要素の上記第 1 の加算器を行毎に直列に接続してなる第 1 の累積加算器と、

上記各行の上記第 1 の累積加算器の最終段の出力を入力とした上記各行に対応した第 2 の加算器を直列に接続してなり、上記第 1 の累積加算器の最終段の出力を累積加算する第 2 の累積加算器と、

上記複数の画像検出処理要素の上記デジタル信号を選択的に上記第 1 の累積加算器に入力せしめる制御回路と、

上記光検出器によって検出される画像データに基づき上記累積加算器から出力される処理データが供給される出力部とを更に備えている

ことを特徴とする画像検出処理装置。

【請求項 3】 上記制御回路によって上記画像検出処理要素の上記デジタル信号の全てを上記第 1 の累積加算器に入力せしめ、上記第 2 の累積加算器から出

力される処理データを、上記画像検出処理要素群に結像される結像画像の0次モーメントとすることを特徴とする請求項2に記載の画像検出処理装置。

【請求項4】 上記制御回路によって上記画像検出処理要素の上記デジタル信号から選択される幾つかを上記第1の累積加算器に入力せしめ、上記第2の累積加算器から出力される処理データを、上記画像検出処理要素群に結像される結像画像のN（Nは1以上の整数）次モーメントを求めるための部分和とすることを特徴とする請求項2に記載の画像検出処理装置。

【請求項5】 上記変換器を第1のクロック信号に従い作動させて上記デジタル信号を発生しさせ、上記第1及び第2の累積加算器を上記第1のクロック信号とは異なる第2のクロック信号に従い動作させ、上記第2の累積加算器から上記処理データをその下位桁から順次出力することを特徴とする請求項2に記載の画像検出処理装置。

【請求項6】 特定の画像検出処理要素の光検出器からの出力と当該特定の画像検出処理要素の隣接する複数の画像検出処理要素からのデジタル信号とに基づいて、当該特定の画像検出処理要素から出力されるデジタル信号を生成させるようにしてあることを特徴とする請求項2に記載の画像検出処理装置。

【請求項7】 全ての要素が1チップに形成されていることを特徴とする請求項1乃至6のいずれかに記載の画像検出処理装置。

【発明の詳細な説明】

【0001】

【発明の技術分野】

本発明は、各種の制御機器や認識装置、情報入力装置に用いる画像検出処理装置に関し、さらに詳しくは、移動する対象物体の画像処理を高速処理するのに適した画像検出処理装置である。

【0002】

【従来の技術】

従来、各種の制御機器や認識装置、情報入力装置に用いる画像処理装置は、ビデオカメラ等に用いられるCCD受光センサと外部の処理プロセッサなどを組み合わせてその機能を実現していた。CCD受光センサにより得られた画像データ

を別設の記憶装置に転送して格納し、別説の処理プロセッサを介して対象物体（ターゲット）の重心計算等の画像処理を行っていた。

【 0 0 0 3 】

また、研究段階のものとしては、日本ロボット学会誌 1 3 巻 3 号（1 9 9 5 年 4 月） 3 3 3 頁乃至 3 3 8 頁に示されているように、ワンチップに受光センサと並列信号処理回路とを一体化させ、エッジ抽出、細線化等の信号処理をセンサ側で行い、その結果を順次出力するという構成が提案されていた。

【 0 0 0 4 】

【発明が解決しようとする課題】

従来のは、CCD 受光センサからの信号転送スピードが制限されたり（1 / 6 0 秒以上）、外部の処理プロセッサなどが大規模になったりするという課題があった。

【 0 0 0 5 】

また、研究段階のものにおいても、汎用性の高い並列系列処理のアーキテクチャを採用することで、多様な画像処理が可能である反面、限られたチップ面積上に多くの画素を配列するのが困難であった。また、センサから出力される画像データの転送に思いのほか時間がかかるという課題があった。

【 0 0 0 6 】

【課題を解決するための手段】

そこで、本発明の画像検出処理装置では、光電変換を行う光検出器と上記光検出器からの信号をデジタル信号に変換する変換器と上記デジタル信号を入力可能とした加算器とからなる画像検出処理要素の複数個が平面状に配列されてなる画像検出処理装置とし、上記画像検出処理要素の上記加算器を順次接続して累積加算器を構成し、制御回路により、上記複数の画像検出処理要素の上記デジタル信号を選択的に上記累積加算器に入力し、上記画像検出処理要素の上記光検出器によって検出される画像データに基づき上記累積加算器から処理データを出力する。これにより、画像検出処理装置において、重心計算等の画像処理に必要な処理データをデータ転送時に生成可能とし、高速処理を可能とする。

【 0 0 0 7 】

【発明の実施の形態】

本発明による画像検出処理装置は、光電変換を行う光検出器と上記光検出器からの信号をデジタル信号に変換する変換器と上記デジタル信号を入力可能とした加算器とからなる画像検出処理要素の複数個が平面上に配列されてなる画像検出処理装置であって、上記複数の画像検出処理要素の上記加算器を順次接続してなる累積加算器と、上記複数の画像検出処理要素の上記デジタル信号を選択的に上記累積加算器に入力せしめる制御回路と、上記光検出器によって検出される画像データに基づき上記累積加算器から出力される処理データが供給される出力部とを更に備えている。

【0008】

好ましくは、画像検出処理要素は複数個が平面上に行列配列される。そして上記複数の画像検出処理要素の第1の加算器を行毎に直列に接続してなる第1の累積加算器と、上記各行の上記第1の累積加算器の最終段の出力を入力とした上記各行に対応した第2の加算器を直列に接続してなり上記第1の累積加算器の最終段の出力を累積加算する第2の累積加算器と、上記複数の画像検出処理要素の上記デジタル信号を選択的に上記第1の累積加算器に入力せしめる制御回路と、上記光検出器によって検出される画像データに基づき上記累積加算器から出力される処理データが供給される出力部とが更に備えられている。

【0009】

また、上記制御回路によって上記画像検出処理要素の上記デジタル信号の全てを上記第1の累積加算器に入力せしめ、上記第2の累積加算器から出力される処理データを、上記画像検出処理要素群に結像される結像画像の0次モーメントとする画像検出処理装置を構成することも好ましい。

【0010】

上記制御回路によって上記画像検出処理要素の上記デジタル信号から選択される幾つかを上記第1の累積加算器に入力せしめ、上記第2の累積加算器から出力される処理データを、上記画像検出処理要素群に結像される結像画像のN（Nは1以上の整数）次モーメントを求めるための部分和とすることも好ましい。

【0011】

また、上記変換器を第1のクロック信号に従い作動させて上記デジタル信号を発生させ、上記第1及び第2の累積加算器を上記第1のクロック信号とは異なる第2のクロック信号に従い動作させ、上記第2の累積加算器から上記処理データをその下位桁から順次出力することも好ましい。

【0012】

また、特定の画像検出処理要素の光検出器からの出力と当該特定の画像検出処理要素の隣接する複数の画像検出処理要素からのデジタル信号とに基づいて、当該特定の画像検出処理要素から出力されるデジタル信号を生成させるようにしてあることも好ましい。

【0013】

また、全ての要素が1チップに形成されていることも好ましい。

【0014】

【実施例】

次に図面を用いて本発明の実施例を詳細に説明する。図1は本発明による画像検出処理装置の一例を説明するための説明図である。本例の画像検出処理装置は例えば、ロボットの視覚センサや自動車の衝突防止センサ、半導体検査装置等において、検出される画像から、動作対象物体、前方車両、半導体基板上の特定パターン等のターゲットの画像を抽出し、その位置情報、軌跡情報等を得る処理に用いるものであり、画像データを転送とともに、例えばターゲット画像の重心位置特定に用いられる0次モーメント、1次モーメントの算出に必要な処理データに加工して出力するものである。外部の処理プロセッサは当該前加工された処理データを用いて位置情報、軌跡情報等を得るため、全体として処理速度の向上が可能となる。

【0015】

図1において、1-1～1-64は画像検出処理要素で、8×8個のアレイ構造として平面的に配置してある。各画像検出処理要素は、後述するように、光検出器と光検出器からの信号をデジタル信号に変換する変換部とを備えている。

【0016】

各画像検出処理要素は、その上下左右に隣接する4個の画像検出処理要素要素

に対して上記デジタル信号をターゲット画像信号として出力する。例えば、画像検出処理要素 1-11 は画像検出処理要素 1-3、1-10、1-12、1-19 に対して、ターゲット画像信号を出力する。また、画像検出処理要素では、その 4 個の画像検出処理要素からのターゲット画像信号とそれ自身のターゲット画像信号とに基づいてターゲットを背景から抽出するためのウィンド画像信号を生成する。詳しくは後述するが、ウィンドウ画像に含まれる画像が新たなターゲット画像とし、ターゲットを背景から抽出するのである。また、各画像検出処理要素は後述する第 1 の加算器を含み、各画像検出処理要素の第 1 の加算器はその隣の画像検出処理要素の第 1 の加算器と接続され、例えば、画像検出処理要素 1-11 の第 1 の加算器の出力は画像検出処理要素 1-12 の第 1 の加算器に入力される。このように行毎の画像検出処理要素の要素の第 1 の加算器は順次接続されて第 1 の累積加算器を構成している。

【 0 0 1 7 】

各画像検出処理要素に対しては、共通信号として C L O C K 1、C L O C K 2、L O A D、S E L の各信号が入力される。クロック信号 C L O C K 1、信号 L O A D は初期画像設定用の信号である。例えば、クロック信号 C L O C K 1 は周波数 20MHz~100MHz 程度のクロック信号である。クロック信号 C L O C K 2、信号 S E L は画像演算用の信号であり、例えば、クロック信号 C L O C K 2 は周波数 1MHz~10MHz 程度のクロック信号である。この画像検出処理要素の構成の詳細については図 2 に示してあり、追って説明する。

【 0 0 1 8 】

2-1~2-8 は第 2 の加算器としての直列型加算器で、画像検出処理要素の行ごとに配置され、対応する画像検出処理要素からの出力を一方の入力に受ける。また、各直列型加算器の出力は順次隣接する直列型加算器の他方の入力に接続されて第 2 の累積加算回路を構成する。本例では、画像検出処理要素 1-1~1-8 に対して直列型加算器 2-1 が対応し、画像検出処理要素 1-8 の出力が直列型加算器 2-1 の一方の入力に接続される。直列型加算器 2-1 の出力は、直列型加算器 2-2 の他方の入力に接続される。直列型加算器 2-8 の出力が全体の出力信号となっており、光検出器によって検出される画像データに基づく処理

データが供給される出力部を構成する。それぞれの直列型加算器の構成の詳細については図 3 に示してあり、追って説明する。

【 0 0 1 9 】

3 は行デコーダ回路で、本例では、図示しないが 4 本の行選択信号により、Y 0 ～ Y 7 までの出力信号を制御する。図 4 に入力信号の組合せ例を示す。4 は列デコーダ回路で、本実施例では、図示しないが 4 本の列選択信号により、X 0 ～ X 7 までの出力信号を制御するものであり、選択信号の設定は行デコーダ 3 と同様である。これら行デコーダ 3、列デコーダ 4 は画像検出処理要素のターゲット画像信号を選択的に第 1 の累積加算器に入力せしめる制御回路を構成する。本例では画像検出処理要素の選択は、図示しない外部のホストから行デコーダ 3、列デコーダ 4 に選択パターンをダウンロードすることによって行うこととするが、これに限るものではない。例えば、画像検出処理要素と共に ROM を 1 チップに集積化し、ROM に目的の画像演算に応じた選択パターンを記憶させて画像検出処理要素の選択に用いても良いし、外部からの制御信号に応答して選択パターンを発生させるデコーダを設けても良い。

【 0 0 2 0 】

次に各画像検出処理要素の構成の詳細について図 2 を参照しながら説明する。5 は光検出器としての光電変換部であり、フォトダイオードからなり、入射した光の強さに応じた信号を出力する。6 は 2 値化回路であり、コンパレータからなり、光電変換部 5 からの信号を 2 値化する。本例では、光電変換部 5 に入力した光量に応じて、所定のしきい値より明るいときに“H”の信号を出力し、暗いときに“L”の信号を出力するものとする。本例では 2 値データを出力することとするが、本発明はこれに限るものではなく、諧調を持たせた多値データを処理させるようにしても良い。その場合、第 1 の加算器には全加算器を用いる。7 は論理積 (AND) 回路であり、2 値化回路 6 からの信号と後述する 5 入力論理和 (OR) 回路 1 2 からの信号が共に“H”であったとき、“H”の信号を出力する。8 はマルチプレクサであり、本例では、図 1 の信号 LOAD が“H”のとき、論理積回路 7 からの信号を出力し、“L”のとき、後述の論理積回路 1 1 からの信号を出力する。9 はフリップフロップ回路でマルチプレクサ 8 の信号を図 1 の

クロック信号CLOCK 1により取り込んで出力する。2値化回路6、論理積回路7、マルチプレクサ8、フリップフロップ回路9、5入力論理回路12から変換器が構成される。

【0021】

10は論理積回路であり、フリップフロップ回路9の出力と後述する論理積回路11の出力が共に“H”であったときに“H”の信号を出力する。11は論理積回路であり、行デコーダ3の出力と列デコーダ4の出力が共に“H”であったとき、“H”の信号を出力する。例えば、画像検出処理要素1-11では、行デコーダ3の出力Y1と列デコーダ4の出力X2がともに“H”であった場合に“H”の信号を出力する。12は5入力論理和回路で、自身のフリップフロップ回路9の出力および上下左右隣の画像検出処理要素の各フリップフロップ回路9の出力から論理和を出力する。例えば、画像検出処理要素1-11では、画像検出処理要素1-3、1-10、1-12、1-19内の各フリップフロップ回路9の出力と画像検出処理要素1-11自身のフリップフロップ回路9の出力が入力となり、どれかひとつ以上が“H”のときに出力が“H”となる。

【0022】

13はマルチプレクサで、この実施例では、図1の信号SELが“H”のとき、論理積回路10からの信号を出力し、“L”のときに後述するフリップフロップ回路14の信号を出力する。14はフリップフロップ回路であり、後述する加算回路15のCARRY信号を図1のクロック信号CLOCK 2により取り込んで出力する。15は半加算器からなる加算回路で、マルチプレクサ13の出力と隣接する画像検出処理要素の半加算回路のSUM信号との算術和を算出し、SUM信号とCARRY信号を出力する。例えば、画像検出処理要素1-11では、マルチプレクサ13の出力と画像検出処理要素1-10における加算回路15のSUM信号とが、共に“L”であればSUM信号及びCARRY信号がともに“L”となり、一方が“L”で他方が“H”であればSUM信号が“H”、CARRY信号が“L”となり、共に“H”であればSUM信号が“L”、CARRY信号が“H”となる。論理積回路10、11、マルチプレクサ13、フリップフロップ14、加算回路15から第1の加算器が構成される。

【 0 0 2 3 】

次に直列型加算器の構成の詳細について図 3 を参照しながら説明する。1 6 は全加算器からなる加算回路で、上記画像検出処理要素の S U M 信号と後述するフリップフロップ回路 1 7 と前段の加算回路 1 6 の S U M 信号との算術加算演算を行い、S U M 信号と C A R R Y 信号とを出力する。例えば、直列型加算器 2 - 2 の場合、画像検出処理要素 1 - 1 6 の出力と直列型加算器 2 - 1 の出力とフリップフロップ回路 1 7 の出力とを入力とし、S U M 信号は 2 - 3 の直列型加算器に出力され、C A R R Y 信号はフリップフロップ回路 1 7 に出力される。加算回路 1 6 は 3 つの入力の状態が、すべて “L” のときには S U M 信号及び C A R R Y 信号がともに “L” となり、何れか一つだけ “H” のときには S U M 信号が “H”、C A R R Y 信号が “L” となり、二つが “H” のときには S U M 信号が “L”、C A R R Y 信号が “H” となり、全てが “H” のときには S U M 信号及び C A R R Y 信号がともに “H” となる。1 7 はフリップフロップ回路であり、加算回路 1 6 の C A R R Y 信号を上述のクロック信号 C L O C K 2 により取り込んで出力する。

【 0 0 2 4 】

【本例の動作説明】

まず、内部回路の初期化を行うため、行デコーダ 3、列デコーダ 4 をすべて非選択となるように設定し、信号 S E L でマルチプレクサ 1 3 から画素選択信号が出力されるように設定する。この状態でクロック信号 C L O C K 2 が 1 クロック以上入力されると各画像検出処理要素内のラッチ回路 1 4 はクリアされる。また、この状態を維持したまま更にクロック信号 C L O C K 2 を 6 クロック以上入力すると、各直列加算器内のラッチ回路 1 7 も同様にクリアされる。

【 0 0 2 5 】

次にウィンドウ画像信号の設定を行う。ウィンドウ画像信号は背景からターゲットの画像を分離するためのものである。信号 L O A D でマルチプレクサ 8 から画素選択信号が出力されるように設定し、行デコーダ 3、列デコーダ 4 の設定することでウィンドウ画像の初期設定を行う。行デコーダ 3、列デコーダ 4 がそれぞれすべての出力が選択されるように設定すると、ウィンドウ画像の初期値は画

面全体となる。

【 0 0 2 6 】

次に画像の取り込みが行われる。適切な結像光学系を用いて対象物体の像を、平面状に配列された画像検出処理要素上に結像させる。結像光学系は、デジタルスチルカメラ等に用いられているようなレンズ光学系のもので良い。それぞれの画像検出処理要素では、まず、光電変換部 5 において、対象物体の明暗の情報を、結像された画像の光量に応じたアナログ信号に変換する。このアナログ信号は 2 値化回路 6 によって、“L”あるいは“H”の値を持つ 2 値画像信号に変換される。

【 0 0 2 7 】

2 値画像信号は、論理積回路 7 において上記のウインドウ画像信号との論理積演算をおこないターゲット画像信号に変換される。ターゲット画像信号はマルチプレクサ 8 を介してフリップフロップ 9 に出力され、クロック信号 C L O C K 1 のタイミングで取り込まれる。フリップフロップ 9 に取り込まれたターゲット画像信号は次のクロック信号 C L O C K 1 のタイミングでのウインドウ信号を生成するために 5 入力論理和回路 1 2 に入力される。

【 0 0 2 8 】

フリップフロップ 9 の出力は、同じ画像検出処理要素内の 5 入力論理和回路 1 2 に出力されるとともに隣接する 4 個の画像検出処理要素内の 5 入力論理和回路 1 2 にも出力されており、5 入力論理和回路 1 2 からウインドウ画像信号が出力される。この様子を図 5 に示す。図 5 において (a) はウインドウ画像を生成する元となる 2 値化画像であり、各セルは図 1 に示した画像検出処理要素 1 - 1 ~ 1 - 6 4 に対応している。(b) は (a) から生成されたウインドウ画像であり、各画像要素内において 5 入力論理和回路 1 2 に 4 個のフリップフロップ 9 の出力により、元となる 2 値化画像に対して上下左右に広がったものとなる。このウインドウ画像 (b) と、次のフレームにおいて変換された画像信号つまり次のフレームでの 2 値化画像 (a) との間で論理積演算をおこなったものがターゲット画像となる。すなわち、フレーム毎にターゲット画像信号の移動に追従してウインドウ画像が若干の広がりをもって形成され、これに含まれる画像が新たなターゲ

ット画像信号として得られる。この時、次のフレームとの間隔が十分短い場合、ターゲットの移動距離は十分短く、本実施例のように簡便な回路によってもターゲットトラッキングの動作が実現できる。

【 0 0 2 9 】

次に画像演算動作について説明する。まず、ターゲット画像を構成する画素の総数は、ターゲット画像の面積（0次モーメント）と見なすことができ、このような0次モーメントを求める動作について説明する。それぞれの画像検出処理要素内の論理積回路10以降の部分と直列加算器の部分とをまとめて、64入力加算器アレイとしての動作を説明する。フリップフロップ9から出力されるターゲット画像信号は、論理積回路10で、画素選択信号が“H”のときのみ13のマルチプレクサ13に入力される。ここでは、全ての画像演算回路1-1～1-64が選択されている場合について説明する。図6において（a）はターゲット画像の状態を表わす。ここでは、“H”の画素の総数が8となっている。

【 0 0 3 0 】

まず、信号SELを“H”にして、論理積回路10の出力がマルチプレクサ13により選択されるようにする。これにより、各画像検出処理要素の半加算器15にはターゲット画像に応じた“H”もしくは“L”の信号が入力される。図6においてターゲット画像（a）に対応する各画像検出処理要素の加算器と直列形加算器の状態を（b）に示す。図6の（b）において、CARRY、SUMはそれぞれ各加算器のCARRY信号、SUM信号を示してある。画像検出処理要素1-20に入力される論理積回路10の出力が“H”となっており、その加算回路15のSUM信号“H”は後段の画像検出処理要素1-21～画像検出処理要素1-24迄順次出力され、これらの加算回路15のSUM信号を“H”としている。

【 0 0 3 1 】

これを受ける直列型加算器2-3では画像検出処理要素1-24からのSUM信号“H”と前段の直列型加算器2-2の加算回路16のSUM信号“L”とを加算し、SUM信号を“H”、CARRY信号を“L”としている。また、画像検出処理要素1-27、1-28、1-29の論理積回路10の出力は何れも“

H”となっており、画像検出処理要素 1-28 の加算回路 15 ではその論理積回路 10 の出力 “H” と前段の画像検出処理要素 1-27 の SUM 信号 “H” とを加算して SUM 信号を “L”、CARRY 信号を “H” としている。画像検出処理要素 1-29 の加算回路 15 の SUM 信号 “H” により後段の画像検出処理要素 1-30 ～画像検出処理要素 1-32 迄順次出力され、これらの加算回路 15 の SUM 信号を “H” としている。

【0032】

これを受ける直列型加算器 2-4 では、画像検出処理要素 1-32 からの SUM 信号 “H” と前段の直列型加算器 2-3 の加算回路 16 の SUM 信号 “H” とを加算し、SUM 信号を “L” CARRY 信号を “H” としている。また、画像検出処理要素 1-35、1-36、1-37 の論理積回路 10 の出力は何れも “H” となっており、画像検出処理要素 1-36 の加算回路 15 ではその論理積回路 10 の出力 “H” と前段の画像検出処理要素 1-35 の SUM 信号 “H” とを加算して SUM 信号を “L”、CARRY 信号を “H” としている。画像検出処理要素 1-37 の加算回路 15 の SUM 信号 “H” により後段の画像検出処理要素 1-30 ～画像検出処理要素 1-32 迄順次出力され、これらの加算回路 15 の SUM 信号を “H” としている。

【0033】

これを受ける直列型加算器 2-5 では、画像検出処理要素 1-40 からの SUM 信号 “H” と前段の直列型加算器 2-4 の加算回路 16 の SUM 信号 “L” とを加算し、SUM 信号を “H” CARRY 信号を “L” としている。また、画像検出処理要素 1-44 の加算回路 15 ではその論理積回路 10 の出力 “H” と前段の画像検出処理要素 1-43 の SUM 信号 “L” を加算して SUM 信号を “H”、CARRY 信号を “L” としている。

【0034】

同様にして画像検出処理要素 1-44 の加算回路 15 の SUM 信号 “H” は後段の画像検出処理要素 1-45 ～画像検出処理要素 1-48 迄順次出力されている。これを受ける直列型加算器 2-6 では画像検出処理要素 1-48 からの SUM 信号 “H” と前段の直列型加算器 2-5 の加算回路 16 の SUM 信号 “H” と

を加算し、SUM信号を“L” CARRY信号を“H”としている。直列型加算器2-6の加算回路16のSUM信号“L”は、後段の直列型加算器2-7、2-8に順次出力される。このとき、直列型加算器2-8の出力からは、ターゲット画像を構成する画素の総数を2進数で表現した場合の最下位桁の値が出力されており、ターゲット画像(a)に対しては、0に対応する“L”レベルの信号が出力される。

【0035】

この状態で、クロック信号CLOCK 2が入力されるとフリップフロップ回路14にCARRY信号が取り込まれる。信号SELを“L”にして、半加算器15に、論理積回路10の出力に代わりフリップフロップ回路14に格納されたCARRY信号が入力される。この場合の各画像検出処理要素と直列型加算器の状態を(c)に示す。(b)に示したように画像検出処理要素1-28、1-36においてフリップフロップ14に格納されたCARRY信号は“H”であり、画像検出処理要素1-29~1-32、1-37~1-40の加算回路15はSUM信号“H”、CARRY信号“L”としている。

【0036】

直列型加算器2-4の加算回路16では前段のSUM信号“L”、画像検出処理要素1-32からのSUM信号“H”、フリップフロップ回路17に格納されたCARRY信号“H”を加算して、SUM信号を“L”、CARRY信号を“H”とする。直列型加算器2-5の加算回路16では前段のSUM信号“L”、画像検出処理要素1-40からのSUM信号“H”、フリップフロップ回路17に格納されたCARRY信号“L”を加算して、SUM信号を“H”、CARRY信号を“L”とする。直列型加算器2-6の加算回路16では前段のSUM信号“H”、画像検出処理要素1-48からのSUM信号“L”、フリップフロップ回路17に格納されたCARRY信号“H”を加算して、SUM信号を“L”、CARRY信号を“H”とする。直列型加算器2-7、2-8の加算回路16ではSUM信号“L”、CARRY信号“L”とする。このとき、直列型加算器2-8の出力からは、ターゲット画像を構成する画素の総数を2進数で表現した場合の最下位+1桁目の値が出力される。ターゲット画像(a)に対しては、0

に対応する“L”レベルの信号が出力される。

【0037】

以下、同様にクロック信号CLOCK 2が入力される毎に各画像検出処理要素と直列型加算器の状態は順次（d）、（e）に示すようになる。クロック信号CLOCK 2が3クロック入力された状態（e）において、直列型加算器2-8の出力から“H”が出力され、ターゲット画像を構成する画素の総数を2進数で表現した場合の最下位+3桁目の値が出力され、SEL信号“H”の入力後に直列型加算器2-8から得られた値は“1000”となり、ターゲット画像（a）を構成する画素の総数8に相当する2進数値が得られる。この後クロック信号CLOCK 2が入力されても、何れのフリップフロップ回路にもCARRY信号は格納されておらず、直列型加算器2-8の出力からは“L”が出力される。

【0038】

以上のようにクロック信号CLOCK 2が入力される毎にターゲット画像を構成する画素の総数が下位桁から順次出力される。本例ではSEL信号の入力後、クロック信号CLOCK 2を7クロック入力することでターゲット画像（a）を構成する画素の総数を7桁の2進数値で得ることができる。本例では少ないクロック数にてターゲット画像を構成する画素の総数、すなわち、ターゲット画像の面積（0次モーメント）を求めることができる。従来では画素の状態をクロック毎に1つずつ読み出した後、ターゲット画像の面積を求めており、画素数64とすれば64クロック以上を要していたが、本例では7クロックで済む。

【0039】

次に1次モーメントを求める場合の動作について説明する。1次モーメントを求める場合は、行デコーダ3及び列デコーダ4にて適当な画素を選択して、数種の部分和を求め、外部にてその部分和の総和を計算する。この様子を図7に示す。図7において、（a）は対象となる画像である。（b）、（c）は列デコーダの選択パターン例とそれに対応する部分和の値である。ここでは、画像検出処理要素アレイの縦方向をY軸とし、座標位置を上から0、1、・・・、7、横方向をX軸とし、座標位置を左から右へ0、1、・・・、7とする。X軸、Y軸の1次モーメントはそれぞれ軸方向の総和に荷重値として座標位置の値を乗じたものの総

和で表わされる。例えば、Y軸方向の1次モーメントを求めるには、まず、行デコーダ3の設定において一番下の列のみ選択されるようにして、上述の方法によりターゲット画像を構成する画素の総和を求める。図示しない外部処理プロセッサ（または本例画像検出処理装置とともに集積化された処理プロセッサ）により、この列のY座標は7なので、得られた値に7を乗じる。次に下から二番目の列のみ選択されるようにして、総和を求める。得られた値に荷重値として6を乗じて、先に求めた値に加算する。同様にして、順次、荷重値の係数を乗じて各列ごとの部分和を加算することで、1次モーメントの値が得られる。

【 0 0 4 0 】

荷重値に関しては例えば、 $7 = 4 + 2 + 1$ 、 $6 = 4 + 2$ 、 $5 = 4 + 1$ 、 $4 = 4$ 、 $3 = 2 + 1$ 、 $2 = 2$ 、 $1 = 1$ のように分離できることから、行デコーダ3の設定を(c)に示すように、Y軸の座標位置7、5、3、1に対応する列をまとめて指定してこれらに含まれるターゲット画像を構成する画素の総和を求めて荷重値1を乗じ、次にY軸の座標位置7、6、3、2に対応する行をまとめて指定して総和を求めて荷重値2を乗じ、次にY軸の座標位置7、6、5、4に対応する行をまとめて指定して総和を求めて荷重値4を乗じるようにしても1次モーメントを求めることが可能である。このようにすれば、3回の部分和計算で1次モーメント計算が可能になるので、更に少ない計算時間で1次モーメントを求めることができる。

【 0 0 4 1 】

X軸方向の1次モーメントについても同様に列デコーダ4の設定を制御することで容易に計算することができる。また、より高次のモーメントについても各デコーダの設定および荷重値の係数を適当に選択することで容易に実現できる。また、得られた1次モーメントを面積（0次モーメント）で割ることで、容易に重心の座標を求めることができる。

【 0 0 4 2 】

本例によれば、画像検出処理装置において、重心計算等の画像処理に必要な処理データをデータ転送時に生成可能となり、外部処理プロセッサと共同で行われる画像処理の高速化が可能となる。また、フレーム間隔の制限を受けず演算子処

理が行え、この点も高速処理に適している。ひいては、ロボットの視覚センサ、自動車の衝突防止センサ等に用いた場合、装置全体の処理速度の向上が可能となる。例えば図 8 に示すような物体 8 1 を掴む動作を行うアームロボットの視覚センサ 8 2 に本例の画像検出処理装置に組み込んだ場合、物体 8 1、アーム 8 3 双方を画像として取り込み、その画像データに基づく処理データ 8 4 を上述の動作で処理プロセッサ 8 5 に出力し、処理プロセッサ 8 5 において、物体 8 1、アーム 8 3 の重心位置、軌跡等を画像処理により得て、その結果をアーム 8 3 の制御 8 6 及び視覚センサ 8 2 のターゲットトラッキング制御 8 7 にフィードバックさせることも高速処理可能となる。また、視覚センサからの情報のみによっても十分高速な制御が可能となり、必要な各種センサ数を削減でき、装置規模の縮小も可能となる。

【 0 0 4 3 】

また、演算結果を出力する回路系と、ビデオカメラ等と同様なアナログのビデオ信号を出力する回路を同時に構成することも容易である。

【 0 0 4 4 】

本例では、画像データとして 2 値データ（2 階調のデータ）を用いることとしたが、本発明はこれに限るものではなく、画像検出処理要素内の第 1 の加算器として全加算器を用いることにより、画像データを多階調とした場合にも適応できる。その場合、各画像検出処理要素の回路規模が大きくなるものの、画像データが階調を持っている場合に、その階調によって荷重値演算できるという利点がある。第 1 の加算器に全加算器を用いた場合の構成の変更点については後述する。

【 0 0 4 5 】

さらに、第 1 の加算器に全加算器を用いた場合には、画像データとして 2 値データを用いた場合に特徴量の演算をより高速にできる。例えば、図 9 に示すような構成により実現できる。同図に示す画像検出処理要素では、加算回路 1 5 に代わり全加算器からなる加算回路 1 8 を設け、マルチプレクサ 1 3 に代わり論理積回路 1 9 を設けてある。この他の構成は図 2 に示す画像検出処理要素示と同様のものである。加算回路 1 8 は論理積回路 1 9 を介して画像検出処理要素内のター

ゲット画像信号を受ける。このターゲット画像信号の入力は上記のものと同様SEL信号で制御される。また、加算回路18はフリップフロップ回路14からの出力と前段の画像検出処理要素の加算回路18からの出力とを受けており、動作的には図3に示した直列加算器と同様のものである。このような構成により、1次モーメントを計算する際に、行デコーダあるいは列デコーダを順次選択することで、 $n \times n$ 画素の場合、 $3n-1$ クロックの演算で1次モーメントを算出することができる。例えば 8×8 画素の構成の場合、8クロックで1次モーメントを選出できる。

【0046】

次に本発明のモーメント演算処理を数学的にまとめておく。

【0047】

画像のサイズは、画像検出処理要素を N^2 ($N=2^n$) 個であるとする。画像データの階調は $M=2^m$ であるとする。X軸上の座標位置 x 、Y軸上の座標位置 y にある画像検出処理要素の画像データを $I(x, y)$ とする。実行時間は画像検出処理要素でのクロック数（本例におけるクロック信号CLOCK2）で示す。

画像 $I(x, y)$ に対する一般モーメント量 m_{ij} は次の式で定義される。

【数1】

$$m_{ij} = \sum_{x=1}^N \sum_{y=1}^N x^i y^j I(x, y)$$

0次モーメント m_{00} は次のように表される。

【数2】

$$m_{00} = \sum_{x=1}^N \sum_{y=1}^N I(x, y)$$

これは、画像データの総和であり、演算に必要なクロック数は \log_2 （出力の最大値）となり、 $\log_2 (N^2 (M-1)) \div (2n+m)$ である。本例では階調が2であり、画像検出処理要素の数が64であるから、上述したように7クロックとなる。

【0048】

1 次モーメントについては次のように表される。 m_{10} は行方向の 1 次モーメントであり、 m_{01} は列方向の 1 次モーメントである。

【数 3】

$$m_{10} = \sum_{x=1}^N \sum_{y=1}^N x I(x, y)$$

【数 4】

$$m_{01} = \sum_{x=1}^N \sum_{y=1}^N y I(x, y)$$

本例の画像検出処理要素では、乗算機能を設けていないため各行、各列毎の荷重値 (x, y) は外部処理プロセッサで乗ずる。画像検出処理要素にこの乗算機能を持たせた場合、 $x I(x, y)$ および $y I(x, y)$ を各画像検出処理要素内部で計算し、それに対して総和を計算すればよいので演算に必要なクロック数は、 $\log_2 (N^2 (N-1) (M-1) / 2) \div (3n+m)$ である。

【0049】

しかしながら、画像検出処理要素に乗算機能を持たせることは回路規模の制限から難しい。これに対して本例では選択パターンと画像検出処理要素内のデータとの論理積を取って総和演算をする機能（すなわち、各画像検出処理要素を選択する機能）と、荷重値をビットプレーンに展開する（2 進数で展開する）こととにより、1 次以上のモーメント量の計算速度の向上を図ることができる。

x の 2 進数表現を $x_n x_{n-1} \dots x_1$ とする。

【数 5】

$$\begin{aligned} x &= x_n 2^{n-1} + x_{n-1} 2^{n-2} + \dots + x_1 2^0 \\ &= \sum_{k=1}^n x_k 2^{k-1} \end{aligned}$$

1 次モーメント m_{10} は次のように表すことができる。

【数6】

$$\begin{aligned}
m_{10} &= \sum_{x=1}^N \sum_{y=1}^N xI(x,y) \\
&= \sum_{x=1}^N \sum_{y=1}^N \sum_{k=1}^n x_k 2^{k-1} I(x,y) \\
&= \sum_{k=1}^n 2^{k-1} \sum_{x=1}^N \sum_{y=1}^N x_k I(x,y) \\
&\equiv \sum_{k=1}^n 2^{k-1} s_k
\end{aligned}$$

【0050】

s_k は図7の(c)に示すような選択パターンと各画像検出処理要素内のデータとの論理積を取るとこにより得られるものであり、図7の(c)に示す選択パターンは行と列の違いこそあるが左から $k=1, 2, 3$ に対応している。 s_k を得るのに必要なクロック数は $\log_2 (N^2 (M-1) / 2) \doteq (2n+m-1)$ である。したがって m_{10} は、 s_k を $K=1$ から n まで繰り返し、外部処理プロセッサでそれらをビットシフトしながら足し合わせることで計算され、それを得るのに必要なクロック数は $n(2n+m-1)$ となる。

【0051】

本例のように画像データが1、0の2階調（以下、バイナリと言う）である場合に限り、画像データの方を選択パターンとみなし、列、行デコーダを順次選択してビットシリアルに総和演算することにより1次モーメント得られる。これに必要なクロック数は、 $\log_2 (N^2 (N-1) / 2) \doteq (3n-1)$ である。この演算には図9に示したように第1の加算器として全加算器を用いる必要がある。

1次モーメント m_{01} も同様にして求められる。

【0052】

また、2次モーメント m_{20} 、 m_{02} は次のように表される。

【数7】

$$m_{20} = \sum_{x=1}^N \sum_{y=1}^N x^2 I(x,y)$$

【数 8】

$$m_{02} = \sum_{x=1}^N \sum_{y=1}^N y^2 I(x, y)$$

【0053】

画像検出処理要素に乗算機能を持たせた場合、 $x^2 I(x, y)$ および $y^2 I(x, y)$ を各画像検出処理要素内部で計算し、それに対して総和を計算すればよいので演算に必要なクロック数は、 $\log_2 (N^2 (N-1) (N-1) (M-1) / 6) \doteq (4n+m-1)$ である。本例のように乗算機能を持たせないものでは x^2 、 y^2 についてもビットプレーンに展開した選択パターンを用いれば、演算に必要なクロック数は、 $2n \log_2 (N^2 (M-1)) \doteq 2n (2n+m)$ である。画像データがバイナリの場合、演算に必要なクロック数は、 $\log_2 N^2 (N-1) (2N-1) / 6 \doteq (4n-1)$ である。

【0054】

もう一方の2次モーメント m_{11} は次のように表される。

【数 9】

$$\begin{aligned} m_{11} &= \sum_{x=1}^N \sum_{y=1}^N xy I(x, y) \\ &= \sum_{x=1}^N \sum_{y=1}^N \sum_{k=1}^n x_k 2^{k-1} \sum_{l=1}^n y_l 2^{l-1} I(x, y) \\ &= \sum_{k=1}^n \sum_{l=1}^n 2^{k+l-2} \sum_{x=1}^N \sum_{y=1}^N x_k y_l I(x, y) \\ &\equiv \sum_{k=1}^n \sum_{l=1}^n 2^{k+l-2} s_{kl} \\ &\equiv \sum_{k=1}^n 2^{k-1} s_k \end{aligned}$$

【0055】

画像検出処理要素に乗算機能を持たせた場合、演算に必要なクロック数は、1

$\log_2 (N^2 (N-1)^2 (M-1) / 4) \div (4n+m-2)$ である。本例のように乗算機能を持たせないものでも、上述したように選択パターンによって s_{k1} は $\log_2 (N^2 (M-1)) \div (2n+m)$ クロックで得られる。 m_{11} は、 s_{k1} の計算を n^2 回繰り返す、外部処理プロセッサでそれらをビットシフトさせながら足し合わせることで計算できる。この場合、演算に必要なクロック数は、 $n^2 (2n+m)$ 以下となる。画像データがバイナリの場合、 s_k は $\log_2 (N^2 (M-1) / 2) \div (3n-1)$ クロックで得られ、これを n 回繰り返すことにより、 m_{11} は $n (3n-1)$ クロックで得られる。

【 0 0 5 6 】

モーメント演算処理に要するクロック数と実行時間の関係は下記の表に示すとおりである。

【表 1】

アルゴリズム	クロックサイクル (実行時間)	
	(A)	(B)
0 次モーメント m_{00}		
($N=64, M=64$)	18(2.3 μ s)	18(2.3 μ s)
($N=256, M=64$)	22(11 μ s)	22(11 μ s)
($N=256, M=2$)	16(8.2 μ s)	16(8.2 μ s)
1 次モーメント m_{10}, m_{01}		
($N=64, M=64$)	25(3.2 μ s)	102(13 μ s)
($N=256, M=64$)	29(15 μ s)	168(86 μ s)
($N=256, M=2$)	23(12 μ s)	23(12 μ s)
2 次モーメント m_{20}, m_{02}		
($N=64, M=64$)	29(3.7 μ s)	$\leq 216(28\mu$ s)
($N=256, M=64$)	37(19 μ s)	$\leq 352(180\mu$ s)
($N=256, M=2$)	31(16 μ s)	31(16 μ s)
2 次モーメント m_{11}		
($N=64, M=64$)	28(3.6 μ s)	$\leq 648(83\mu$ s)
($N=256, M=64$)	36(18 μ s)	$\leq 1408(720\mu$ s)
($N=256, M=2$)	30(15 μ s)	184(94 μ s)

ここで、(A) に画像検出処理要素が乗算機能を持つ場合を示し、(B) に本例のように画像検出処理要素が乗算機能を持たない場合を示す。ここで、外部処理プロセッサでの実行時間は含まない。また、最短のクロック周期は加算器の遅延時間に依存するので、加算器ひとつあたりの遅延時間を $1ns$ として、全体で $2Nns$ (N は、画像検出処理要素の行列数とする。) をクロック周期とし、実行時間を算出した。本例によれば、画像検出処理要素に乗算機能を持つものに対して実行時間の差を 1 桁程度に抑えることが可能である。

【 0 0 5 7 】

また、本発明によれば、モーメントだけでなく、次の式に示される任意の特徴量を高速に演算することが可能である。

【数 1 0】

$$\sum_{x=1}^N \sum_{y=1}^N f(x,y,I(x,y))$$

【 0 0 5 8】

【発明の効果】

本発明によれば、画像検出処理装置において、重心計算等の画像処理に必要な処理データをデータ転送時に生成可能となり、高速処理が可能となる。

【 0 0 5 9】

また、画像検出処理要素を行列配置とし、行毎に加算器を直列に接続し、第 1 の累積加算器を構成し、行毎の第 1 の累積加算器最終段の出力を累積加算する第 2 の累積加算器を設けて、制御回路により、上記第デジタル信号を選択的に上記第 1 の累積加算器に入力せしめることにより、上記画像の 0 次モーメント、上記画像の N（N は 1 以上の整数）次モーメントをもとめるための部分和等所望の処理データを高速で出力することが可能となる。

【 0 0 6 0】

また、画像取り込みと累積加算動作とを別のクロックで行うので、画像取り込みによる速度の制限を受けずに処理データの生成が可能となる。

【 0 0 6 1】

また、画像検出処理要素は隣接する画像検出処理要素からのデジタル信号と上記光検出器からの出力とに基づいて当該画像検出処理要素のデジタル信号を生成するため、背景からターゲットの分離処理等の簡単な処理を画像検出処理装置側で行うことが可能となる。

【図面の簡単な説明】

【図 1】

本発明の画像検出処理装置の構成を説明するための説明図。

【図 2】

図 1 の要部、画像検出処理要素の構成を説明するための説明図。

【図 3】

図 1 の要部、直列型加算器の構成を説明するための説明図。

【図 4】

図 1 の要部、行デコーダの動作を説明するための説明図。

【図 5】

図 1 の動作説明のための説明図。

【図 6】

図 1 の動作説明のための説明図。

【図 7】

図 1 の動作説明のための説明図。

【図 8】

本発明の画像検出処理装置を用いたロボットの構成を説明する説明図。

【図 9】

図 1 の要部、画像検出処理要素の構成を説明するための説明図。

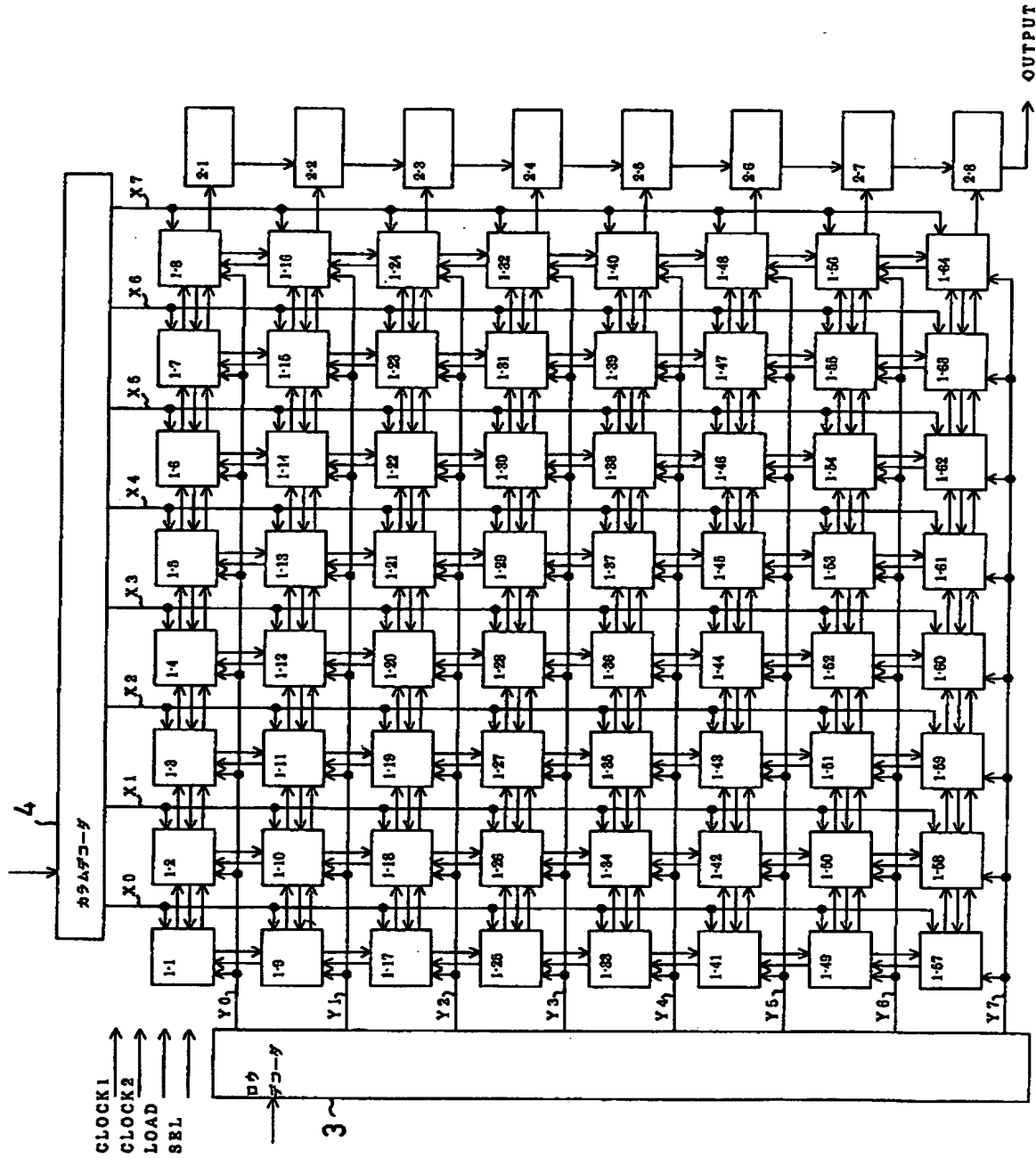
【符号の説明】

- 1 - 1 ~ 1 - 6 4 画像検出処理要素
- 2 - 1 ~ 2 - 8 直列型加算器 (第 2 の累積加算器)
- 3 行デコーダ (制御回路)
- 4 列デコーダ (制御回路)
- 5 光電変換部 (光検出器)
- 6 2 値化回路 (変換器)
- 7 論理積回路 (変換器)
- 8 マルチプレクサ (変換器)
- 9 フリップフロップ回路 (変換器)
- 1 0 論理積回路 (第 1 の加算器、第 1 の累積加算器)
- 1 1 論理積回路 (第 1 の加算器、第 1 の累積加算器)
- 1 2 5 入力論理和回路 (変換器)
- 1 3 マルチプレクサ (第 1 の加算器、第 1 の累積加算器)

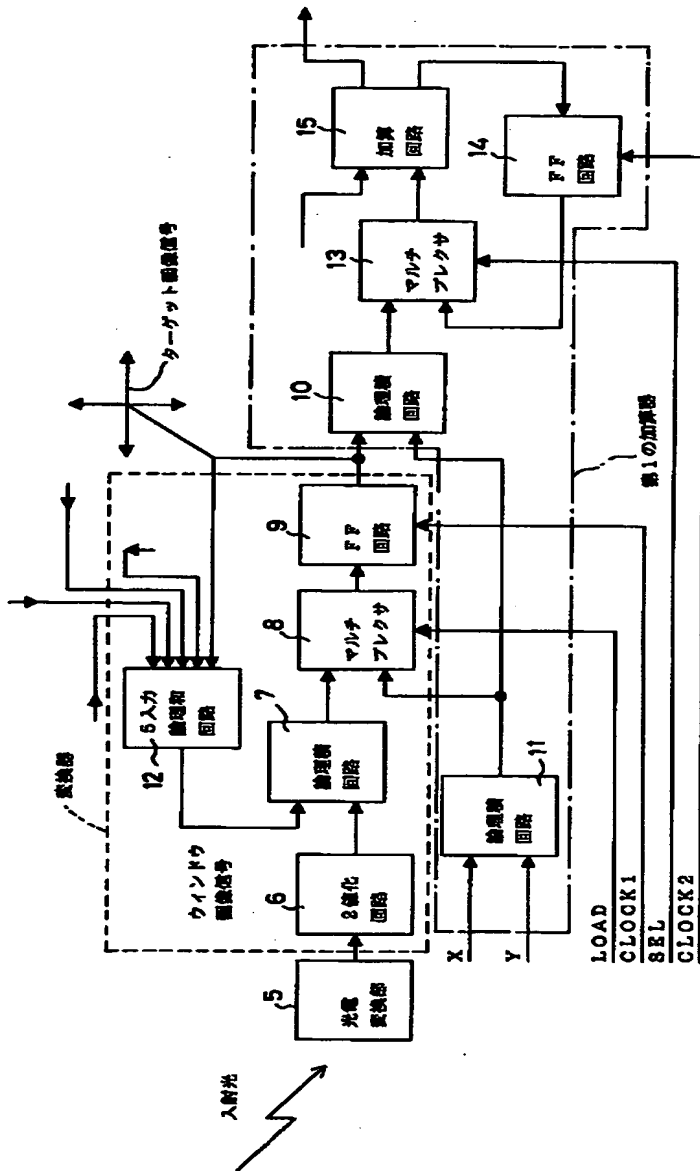
- 1 4 フリップフロップ回路
- 1 5 加算回路（第 1 の加算器、第 1 の累積加算器）
- 1 6 加算回路（第 2 の加算器、第 2 の累積加算器）

【書類名】 図面

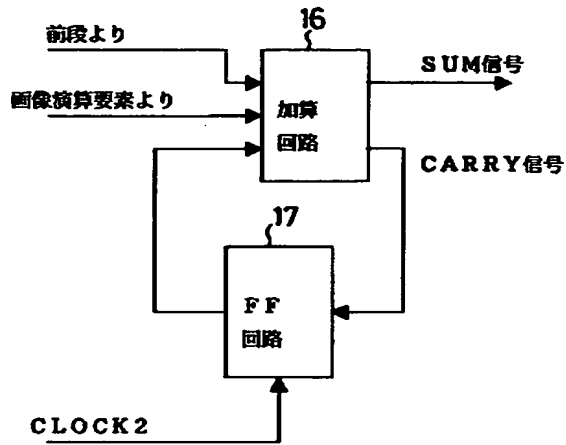
【図 1】



【図2】



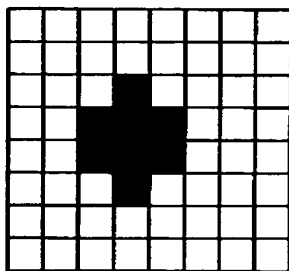
【図 3】



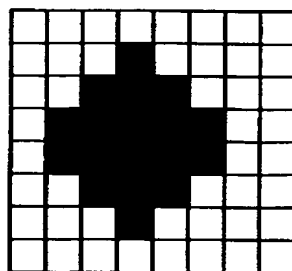
【図 4】

INPUT	OUTPUT	
	Y: 0 1 2 3 4 5 6 7	
L L L L	L L L L L L L H	
L L L H	L L L L L L H L	
L L H L	L L L L L H L L	
L L H H	L L L L H L L L	
L H L L	L L L H L L L L	
L H L H	L L H L L L L L	
L H H L	L H L L L L L L	
L H H H	H L L L L L L L	
H L L L	L L L L L L L L	
H L L H	L H L H L H L H	
H L H L	L L H H L L H H	L
H L H H	L L L L H H H H	H
H H L L	X X X X X X X X	X
H H L H	X X X X X X X X	
H H H L	X X X X X X X X	
H H H H	H H H H H H H H	

【図 5】

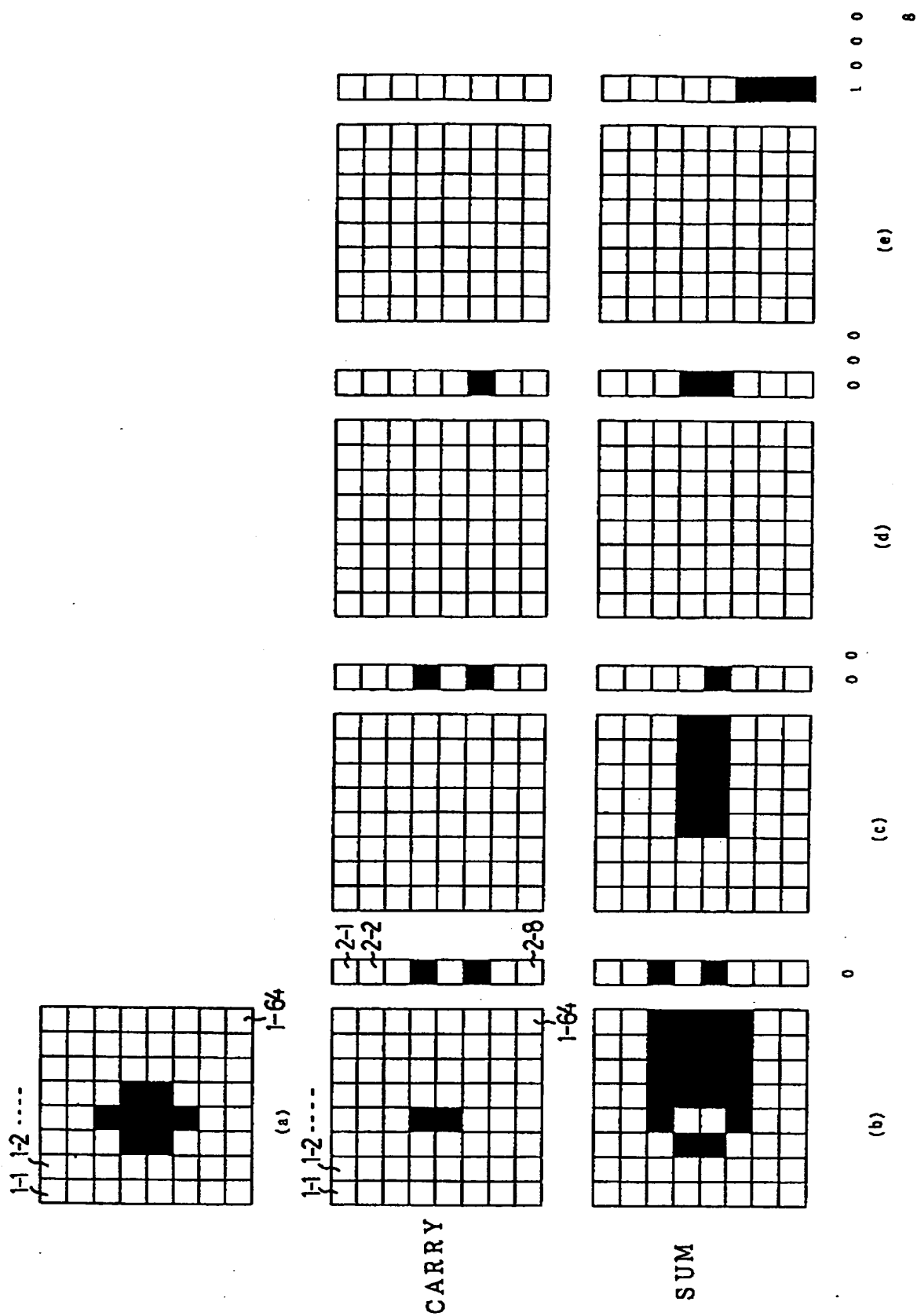


(a)

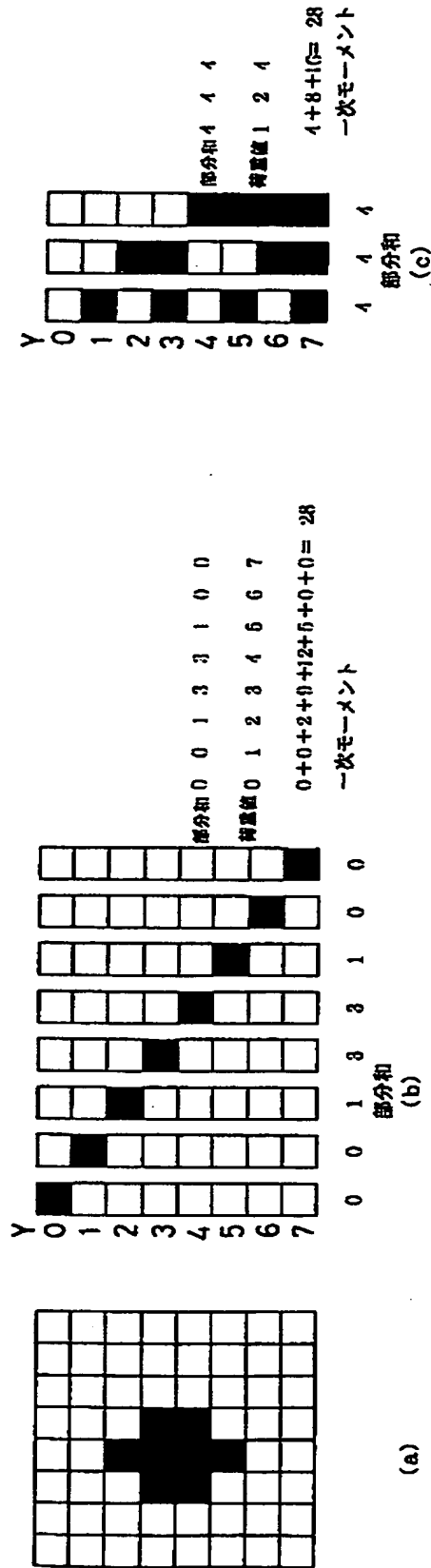


(b)

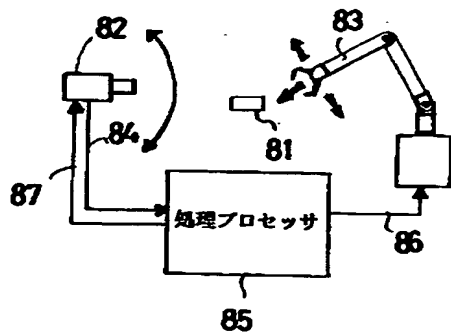
【図 6】



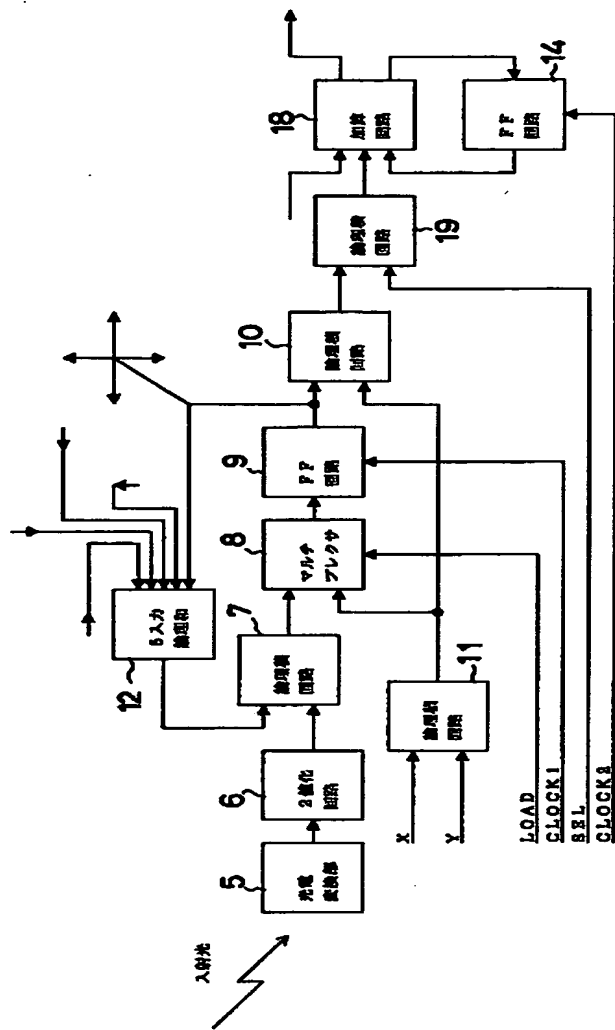
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 簡便な構成で、ターゲットの重心計算等の処理速度の向上させる。

【解決手段】 画像検出処理装置は、それぞれ光電変換部 5 の出力をデジタル信号に変換し、デジタル信号を入力可能とした加算回路 1 5 を備え、平面状に配列された複数の画像検出処理要素 1 - 1 乃至 1 - 6 4 を行列配置し、行毎に加算回路 1 5 を接続して累積加算器を構成し、直列に接続された直列型加算器 2 - 1 乃至 2 - 8 のそれぞれ行毎の累積加算器の最終段の出力を入力して累積加算可能としてあり、行デコーダ 3、列デコーダ 4 により、上記デジタル信号を選択的に累積加算器に入力し、複数の画像検出処理要素の光電変換部 5 によって検出される画像の処理データを直列型加算器 2 - 8 から出力する。これにより、重心計算等の画像処理に必要な処理データをデータ転送時に生成可能とし、高速処理を可能とする。

【選択図】 図 1

【書類名】 手続補足書
【提出日】 平成12年 1月18日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2000- 10180
【補足をする者】
 【事件との関係】 特許出願人
 【識別番号】 596094740
 【氏名又は名称】 石川 正俊
【代理人】
 【識別番号】 100067105
 【弁理士】
 【氏名又は名称】 松田 和子
 【連絡先】 0 4 7 - 4 7 0 - 7 0 4 2 担当 鈴木
【補足対象書類名】 特許願
【補足の内容】 代理権を証明する書面を提出します。
【提出物件の目録】
 【物件名】 委任状 1

(B)20000130221



委 任 状

私は、識別番号100067105 介理士松田和子氏を代理人として下記事項を委任します。

1. 2000年特許願第 10180号出願に関する一切の件並びに本件に関する審査請求、優先審査に関する事情説明書の提出、刊行物の提出、放棄若しくは取下、出願分割、出願変更、出願人名義変更、証明の請求、拒絶査定不服及び補正却下の決定に対する審判の請求、取下並びに本件及びその審判物件の下附を受けること。
2. 上記出願に基づく特許法第41条第1項の優先権の主張若しくはその取下をすること。
3. 第1項に関する通常実施権許諾の協議許可請求、その裁定請求、裁定取消請求並びにそれ等に対する答弁、取下其他本件に関する提出書類及び物件の下附を受けること。
4. 上記各項に関し行政不服審査法に基づく諸手続を為すこと。
5. 上記事項を処理する為復代理人を選任及び解任すること。

平成12年01月14日

千葉県柏市大室1571番地の32

石川 正俊



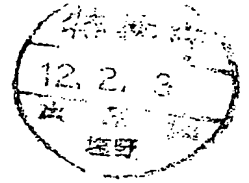
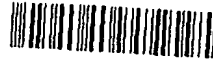
認定・付加情報

特許出願の番号	特願 2 0 0 0 - 0 1 0 1 8 0
受付番号	2 0 0 0 0 1 3 0 2 2 1
書類名	手続補足書
担当官	濱谷 よし子 1 6 1 4
作成日	平成 1 2 年 2 月 2 8 日

<認定情報・付加情報>

【提出された物件の記事】

【提出物件名】	委任状（代理権を証明する書面）	1
---------	-----------------	---



【書類名】 新規性の喪失の例外証明書提出書
【提出日】 平成12年 2月 2日
【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2000-10180

【提出者】

【事件との関係】 特許出願人
【識別番号】 596094740
【氏名又は名称】 石川 正俊

【提出者】

【事件との関係】 特許出願人
【識別番号】 390009667
【氏名又は名称】 日本プレシジョン・サーキット株式会社
【代表者】 田淵 紀雄

【代理人】

【識別番号】 100067105
【弁理士】
【氏名又は名称】 松田 和子
【連絡先】 TEL: 047-470-7042 担当 鈴木
FAX: 047-470-7044

【提出物件の目録】

【物件名】 発明の新規性の喪失の例外の規定の適用を受けるための
証明書 1
【物件名】 発明の新規性の喪失の例外の規定の適用を受けるための
宣誓書 1
【物件名】 発明の新規性の喪失の例外の規定の適用を受けるための
譲渡書（写しの1） 1
【物件名】 発明の新規性の喪失の例外の規定の適用を受けるための
譲渡書（写しの2） 1

証 明 願

平成12年 1月14日

社団法人 電子情報通信学会会長 殿

出願人の住所 千葉県柏市大室1571番地の32

氏名 石川 正俊

出願人の住所 東京都中央区京橋二丁目6番21号

名称 日本プレシジョン・サーキット株式会社

代表者 田淵 紀雄

代理人の居所 千葉県習志野市茜浜一丁目1番1号

セイコープレシジョン株式会社内

代理人 弁理士 松田 和子

添付の電子情報通信学会技術研究報告 PRMU99-51 に記載の発表については、下記のとおり、電子情報通信学会パターン認識・メディア理解研究会、平成11年度7月研究会一般セッション(1)において、文書に基づいて発表したものであることを証明願います。

記

- 1 発表題目 デジタルビジョンチップのためのモーメント抽出アーキテクチャ
- 2 発表者 小室 孝、石井 抱、中坊 嘉宏、石川 正俊
- 3 発表日 1999年7月16日
- 4 発表場所 サン・リフレ函館(函館勤労者総合福祉センター)
〒040-0034 北海道函館市大森町2番14号
- 5 文書の性格 電子情報通信学会技術研究報告
- 6 発表の内容 添付の電子情報通信学会技術研究報告 PRMU99-51 のとおり

証 明 書

上記証明願のとおり相違ないことを証明する。

平成12年 / 月31日

〒105-0011 東京都港区芝公園3丁目5番8号

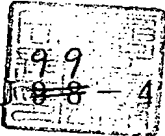
機械振興会館2階202号室

(社) 電子情報通信学会

会長 安田 靖彦

(会長は1年任期)

電子情報通信学会技術研究報告

PRMU  99-49~63

[パターン認識・メディア理解]

1999年7月16日

EIC 社団法人 電子情報通信学会

電子情報通信学会技術研究報告目次

CONTENTS

[パターン認識・メディア理解]

[Pattern Recognition and Media Understanding]

(1)	PRMU 99-49 曖昧さに注目した数式構造理解 清水智巨・陳 ウン (名大), 岡田 稔 (中部大)	1
(2)	PRMU 99-50 A Fundamental Study on Mathematical Expression Understanding Based on Rule Base Yun Chen, Tomomi Shimizu (Nagoya Univ.), Minoru Okada (Chubu Univ.)	9
(3)	PRMU 99-51 デジタルビジョンチップのためのモーメント抽出アーキテクチャ 小室 孝・石井 抱・中坊嘉宏・石川正俊 (東大)	17
(4)	PRMU 99-52 ビットプレーン特徴分解を用いたモーメント計算法 石井 抱・小室 孝・石川正俊 (東大)	23
(5)	PRMU 99-53 ニューラルネットによる繰り返しパターンの近似方法 原 肇 (広島工大), 吉田信夫 (宇部短大)	29
(6)	PRMU 99-54 自乗結合を持つニューラルネットワークによる手書き文字の高精度認識 和泉勇治・加藤 寧・根元義章 (東北大)	37
(7)	PRMU 99-55 データの重要度推定に基づくサポートベクタマシンの逐次学習 小倉信彦・渡辺澄夫 (東工大)	45
(8)	PRMU 99-56 拡張Test Feature Classifiers —— 組み合わせ特徴量によるアプローチ —— イットコン・金子俊一・五十嵐悟 (北大) ラシキア・ワクタンク (岡山理科大)	53
(9)	PRMU 99-57 類似画像検索における検索結果の可視化インターフェース —— 可視化軸として意味軸を用いる方法 —— 武者義則・広池 敦 (新情報処理開発機構)	59
(10)	PRMU 99-58 画像理解システム評価のための多視点動画像データベースの開発について 浮田宗伯・東海彰吾・松山隆司 (京大), 谷口倫一郎 (九大)	65
(11)	PRMU 99-59 全周実画像とCGモデルの合成による仮想環境の構成と提示 島村 潤・山澤一誠・竹村治雄・横矢直和 (奈良先端大)	73
(12)	PRMU 99-60 照明条件の変化を考慮した3次元投票空間を用いたオプティカルフロー推定 今村弘樹・剣持雪子・小谷一孔 (北陸先端大)	81
(13)	PRMU 99-61 特徴点対応に基づく複素平面と運動パラメータの同時推定 堀江 裕・皆川明洋・田川憲男・守屋 正 (都立大)	89
(14)	PRMU 99-62 M推定によるロバスト領域分割を導入した投影型微分両眼視法 宮本 敦・近藤 司・金子俊一・五十嵐悟 (北大)	97
(15)	PRMU 99-63 距離画像を用いた移動人物のジェスチャのスポッティング認識 西村拓一・矢部博明・岡 隆一 (新情報処理開発機構) 野崎俊輔 (メディアドライブ)	105

Note: The articles in this publication have been printed without reviewing and editing as received from the authors.

デジタルビジョンチップのためのモーメント抽出アーキテクチャ

○小室 孝 石井 抱 中坊 嘉宏 石川 正俊

東京大学大学院工学系研究科計数工学専攻

〒113-8656 東京都文京区本郷7丁目3番1号

E-mail: kom@k2.t.u-tokyo.ac.jp

あ ら ま し

光検出器 (PD) と処理要素 (PE) を画素毎に直結したものをワンチップ上に集積化したビジョンチップは、入力におけるボトルネックを解消するが、出力において依然ボトルネックが存在する。この問題を解決するため、本発表では、特にデジタル回路で構成されたビジョンチップを対象に、出力としてモーメント量を抽出するためのアーキテクチャを提案する。また、本アーキテクチャによるモーメント量の計算例を示し、速度面および実装面から評価を行う。

キーワード ビジョンチップ, ビジュアルフィードバック, I/O ボトルネック, モーメント, VLSI

Moment Extraction Architecture for Digital Vision Chip

Takashi Komuro, Idaku Ishii, Yoshihiro Nakabo and Masatoshi Ishikawa

Department of Mathematical Engineering and Information Physics,

School of Engineering, Univ. of Tokyo

7-3-1 Hongo Bunkyo-ku, Tokyo 113-8656, Japan

E-mail: kom@k2.t.u-tokyo.ac.jp

Abstract

A vision chip in which photo detectors (PD) and processing elements (PE) are directly connected in each pixel and are integrated on a single chip solves the bottleneck problem at the input stage but the bottleneck at the output stage still exists. To solve the problem, in this paper, we propose an architecture for extracting moments as outputs especially targetting vision chips consisting of digital circuits. Also we present some examples of moments calculation and evaluate the architecture at the point of speed and implementation.

Key words vision chip, visual feedback, I/O bottleneck, moment, VLSI

1 はじめに

半導体集積化技術の進歩に伴いシステムオンチップの考え方が普及しつつある昨今、センサ情報処理の分野においてもセンサと周辺回路をワンチップに収めたオンチップセンサシステムが登場し始めている。特に、光検出器 (PD) と処理要素 (PE) を画素毎に直結したものをワンチップ上に集積したビジョンチップと呼ばれるデバイスは、高速、小型、安価なセンサ情報処理装置として、ロボティクス、ヒューマンインターフェースなどのさまざまな応用分野に渡って注目を集めている。CCD カメラを用いた従来型のビジョンシステムではフレームレートがビデオレート (30Hz) 以下に制限されていたが、ビジョンチップは 1kHz 以上のフレームレートで画像の入力と処理を可能にする。

ビジョンチップの高速性は、入力におけるボトルネックの解消と、画素レベルの並列処理によるものである。しかし、センサ情報処理の流れを考えると、これだけでは十分とはいえないことがわかる。高速な視覚フィードバックを実現するには、画像の入力と処理を高速に行なえるだけでなく、結果の出力も同様に高速に行なう必要がある。そのためには、処理結果を画像情報のまま出力するのではなく、画像の特徴量のみを出力するという方法が効果的であると考えられる。本発表では、特にデジタル回路で構成されたビジョンチップを対象に、出力としてモーメントを抽出するためのアーキテクチャを提案する。また、本アーキテクチャによるモーメント量の計算例を示し、評価を行なう。さらに、VLSI への実装についても考察する。

2 本研究の背景

2.1 デジタルビジョンチップ

Mead らによるシリコン網膜の提案以来 [1]、ビジョンチップに関するさまざまな研究が行なわれてきた。しかし、それらの多くは抵抗ネットワークのようなアナログ回路を用いた限定用途のものであった。

それに対し、石川らはデジタル回路を用いた汎用の PE を採用したビジョンチップを提唱した [2]。ここではそのようなビジョンチップをデジタルビジョンチップと呼ぶことにする。このデジタルビジョンチップのスケールアップモデルを用いて、1ms 対象追跡システム [3]、リアルタイム実環境提示システム [4]、1ms 感覚統合システム [5] が構築された。また、これらのシステム上で動作するさまざまなアルゴリズムが開発された [6]。これらはすべてサンプリング周期が 1ms 内の高速視覚フィードバックを用いて実現されている。

デジタルビジョンチップの問題は、アナログのそれに比べ、回路規模が大きくなってしまい、多くの画素をワンチップに集積することが困難なことである。そこで、小室らは構造のシンプル化、回路のコンパクト化を図ったデジタルビジョンチップのアーキテクチャ S³PE を提案した [7]。同アーキテクチャにおいて、各 PE は各種の算術演算や論理演算をビットシリアルに行なう ALU と 24(+2) ビットのメモリからなっており、PD 及び上下左右の 4 近傍の PE と接続されている。SIMD 型の並列処理方式を採用しており、全 PE は単一のプログラムにより制

御される。多くの初期視覚処理が 1ms 以内で実現可能であり、ロボット制御などのアプリケーションにも有効であることが示されている。0.8 μm CMOS プロセスを用いた試作チップでは、PE あたりの面積が $240\mu\text{m} \times 240\mu\text{m}$ で、 8×8 画素が搭載されている。また、0.35 μm CMOS プロセスを用いた試作チップでは、PE あたりの面積が $150\mu\text{m} \times 150\mu\text{m}$ で、 16×16 画素が搭載されている [8]。

デジタルビジョンチップの研究は他にも行なわれている。フランスでは、Programmable Artificial Retina と呼ばれるデジタルビジョンチップが提案されている [9]。各 PE は 3 ビットのメモリを持ち、各種の論理演算を実行する。また、 65×76 画素のチップが開発されている。スウェーデンでは、Near-Sensor Image Processing (NSIP) と呼ばれる考えに基づいたデジタルビジョンチップが提案されている [10]。各 PE は 8 ビットのメモリを持っており、演算は主にワイアード NAND 論理を用いて行なう。また、 32×32 画素のチップが開発されている。

2.2 特徴量抽出回路の必要性

デジタルビジョンチップは通常画素と同じ数の PE が配置されている完全並列構造を持っており、画像から画像への変換を高速に実行することができる。しかし、処理結果のデータ量は依然膨大であり、これをそのまま出力したのでは、入力において解消したボトルネックの問題が再び生じることになる。これは画素数が増大するにつれてより深刻になる。そこで、処理結果からスカラー量の特徴量を抽出して出力することを考える。

特徴量抽出は一般に画像全体の情報を利用するグローバルな演算であるが、既存のデジタルビジョンチップはこのような演算をハードウェアで行なう機能を持っていない。文献 [10] で述べられているデジタルビジョンチップは、列並列に出力を読み出すグローバルバスが設置されており、アレイの端において $O(N)$ のクロックサイクルでカウント処理を行なうことができる (N^2 は画素数)。S³PE ビジョンチップにおいても、シフト命令と加算命令からなるプログラムを与えることにより同様の処理を $O(N)$ のクロックサイクルで実行できる。だが、より高速に特徴量抽出を行なおうとする場合には、図 1 のように PE と同じ完全並列構造を持った回路を導入する必要がある。

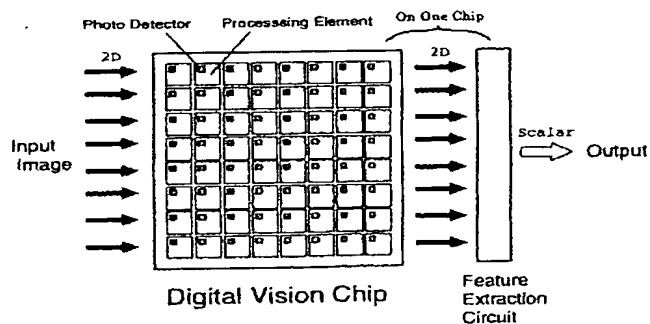


図 1 デジタルビジョンチップの処理モデル

アナログ回路によるビジョンチップに対しては、いくつかの特徴量抽出の回路が提案されている。例えば、向井らは非線形座標における重心検出のための回路を提案している[11]。しかし、これらをデジタルビジョンチップに対して導入することは、精度、速度、安定性、実装の問題から適当ではない。デジタルビジョンチップに適した特徴量抽出回路には、次章に示すような性質を備えていることが求められる。

3 設計指針

特徴量抽出回路に求められる性質として、まず第一にそれがデジタル回路で構成されていることが挙げられる。アナログ回路で構成された特徴量抽出回路は、デジタルビジョンチップとの親和性が低く、デジタルビジョンチップの利点を損ないかねない。

次に回路規模が小さいことが重要である。これはワンチップになるべく多くの画素を搭載するというデジタルビジョンチップの要求をそのまま受け継いでいる。デジタルビジョンチップ S³PE では、ALU にビットシリアル演算を採用することで回路規模の縮小を図っているが、これを出力回路にも適用することで、回路規模の面で有利だけでなく、デジタルビジョンチップとの統合も容易になると考えられる。

また、面積だけでなく、VLSI への実装に適しているかどうかとも考える必要がある。たとえば効果的にグローバル演算を行なうことができるアーキテクチャに、ピラミッド型の構造を持つものが考えられる。しかしながら、このような非均質な構造は、特にデジタルビジョンチップと合わせて VLSI に実装することを考えた場合、配置・配線が難しく、結果的に無駄が多くなってしまふ。デジタルビジョンチップの利点であるモジュラリティ、拡張性、再利用性を保つためには、PE 単位で均質な構造が望まれる。

出力回路を搭載する目的は、高速に特徴量を抽出するためである。しかしながら、上の条件と合わせて考えた場合、近傍接続や共有バスによる同期式の通信では、 $O(N)$ のクロックサイクルがかかってしまう。そこで、演算を行ないながら非同期的に伝送を行なうような仕組みが有効であるとえられる。文献[10]で述べられているデジタルビジョンチップでは、GLU と呼ばれるモジュールを用いて非同期伝送を行ない、高速塗りつぶしを行なっている。しかし、これは 2 次元から 2 次元への変換である。特徴量抽出を行なうには、ある種のデータ圧縮を施しつつ伝送を行なう必要がある。

これらの指針に基づき、我々は特徴量として画像のモーメント量などを抽出するアーキテクチャを設計した。モーメントはさまざまな応用で用いられる重要な特徴量である。次章でアーキテクチャを詳しく述べる。

4 モーメント抽出アーキテクチャ

4.1 全体の構成

モーメント量を抽出するため、本アーキテクチャでは二つの機能を用意している。一つは画像全体の総和を計算する機能であり、もう一つは x, y, x^2, y^2, xy といった座標に依存する値を各 PE に送信する機能である。この組合せに

より、モーメント量をはじめとするさまざまなグローバル量が計算できる仕掛けである。これらの機能を実現するため、本アーキテクチャは、列総和演算部、行総和演算部、行/列指定部から成っている。

図 2 に構成を示す。

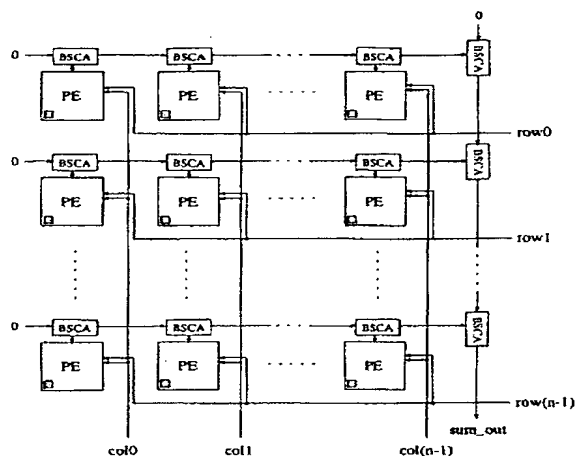


図 2 全体の構成

列総和演算部は、列方向に直列に接続されたビットシリアル累積加算器 (BSA) からなり、各加算器は PE の出力に接続されている。PE からのデータを受けとり、列総和を計算する。行総和演算部は行方向に直列に接続された BSA からなり、各列の列総和演算部の終端に接続されている。列総和演算部から列総和データを受けとり、画像全体の総和を出力する。行/列指定部は座標依存値を各 PE に伝送する。

4.2 総和演算部

列総和演算部および行総和演算部で使われている BSA の構造を図 3 に示す。全加算器と D フリップフロップからなっている。なお、入力データを常にバイナリに限定すれば、全加算器を半加算器に置き換えることも可能である。

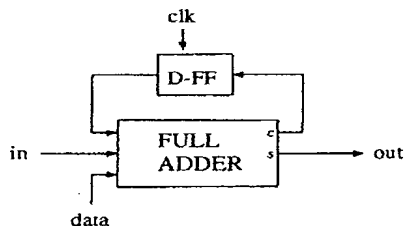


図 3 ビットシリアル累積加算器 (BSA)

この BSA を直列に N 個並べることにより、 N 個の

入力データの総和が計算できる。図4に計算例を示す。

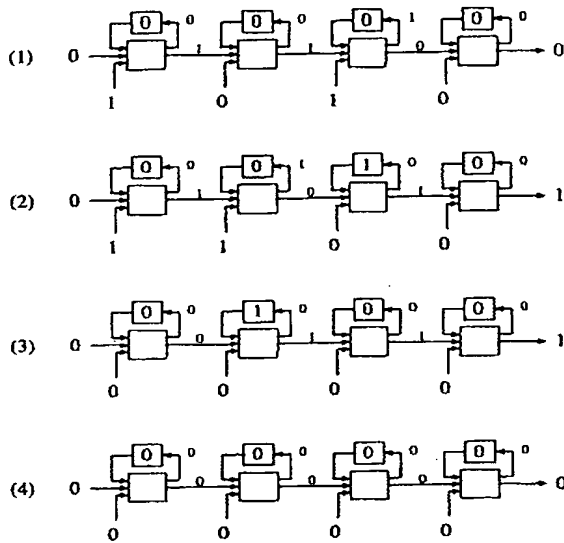


図4 総和計算例 ($N=4, m=2$): $11 + 10 + 01 + 00 = 0110$

左端 BSCA の入力 in は常に 0 に接続されている。各 BSCA のレジスタは 0 クリアしておく。(1) まず、各 BSCA のレジスタが 0 にセットされる。各 PE からのデータの最下位ビット (LSB) が BSCA の入力 data に与えられると、各 BSCA の全加算器が和とキャリーを計算する。和は次段 BSCA の入力 in に伝送される。in の変化によって、次段 BSCA の全加算器は和とキャリーを再計算する。このようにして、データは左から右に累積的に加算されながら非同期的に伝わっていき、総和の LSB が右端 BSCA の out から出力される。一方、各 BSCA の全加算器のキャリー出力は clk 信号の立ち上がりでレジスタに格納され、次ビット以降の総和計算に使われる。(2) 続いて、各 PE からのデータの LSB から 2 番目のビットが data に与えられ、総和の LSB から 2 番目のビットが右端 BSCA の out から出力される。各 BSCA の全加算器のキャリー出力は次の計算のためにレジスタに格納される。このタスクは全てのデータ (m ビットとする) が渡されるまで繰り返される。(3)(4) データが全て渡された後は、合計 $\log_2((2^m - 1)N)$ ビット (小数点切り上げ) の総和が出力されるまでの間 data には 0 を渡す。

4.3 行/列指定部

同じ列の PE は共通のビット線を共有している。このビット線の集まりを列指定バスと呼ぶことにする。このバスを通じて、座標値 x に依存する値が各 PE にビットシリアルに送られる。同様に、行指定バスは座標値 y に依存する値を伝送する。座標依存値を受けとった PE はその値を使って演算を行なう。後述するが、モーメント抽出を実現するのに PE に必要な最低限の機能は、PE 内のデータと行/列指定バスを通じてビットシリアルに送られてくる

座標依存値の AND を計算し、総和演算部に出力する機能である。もちろん、それ以外の機能 (乗算など) があればより高速にモーメント量や他の特徴量を求めることもできる。

これらのバスに座標依存値のビットパターンを供給するには、三つの方法が考えられる。一つは、チップ内の縦横の端に一続きのレジスタまたはメモリを配置し、ホストから自由にダウンロードできるようにする方法である。この方法は、もっとも柔軟であるが、ダウンロードに時間がかかるうえ、追加のレジスタ/メモリのためのチップ面積がかかる。二つめはいくつかのパターンを ROM で用意する方法で、ダウンロードの時間とチップ面積が節約できるが、柔軟性に欠く。三つめはインストラクションによりパターンを生成するデコーダを設置する方法である。

最も基本的と思われるビットパターンの例として、図5に示すような座標値 x または y の LSB から $(a + 1)$ ビットめを表すパターンが挙げられる。

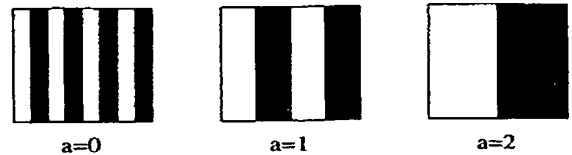


図5 ビットパターンの例 ($N=8$)

行/列指定バスを通じてさまざまなビットパターンを送信し、その値を用いて PE 内で演算を行なった後に、総和を計算することで、モーメントだけでなく、 $\sum_{x=1}^N \sum_{y=1}^N f(x, y, I(x, y))$ の形の任意の特徴量を高速に抽出することができる (ここで $I(x, y)$ は画素 (x, y) における PE 内データ)。

5 モーメント計算の例

アーキテクチャの評価のため、モーメント計算の例を示す。ここで、 N^2 は画像のサイズ ($N = 2^n$)、 M は画像データの階調 ($M = 2^m$) を示す。また、実行時間は総和演算部のクロックサイクル数で表し、PE 内での処理およびチップ外の処理は含めない。

画像 $I(x, y)$ に対する一般モーメント量 m_{ij} は次のように定義される。

$$m_{ij} = \sum_{x=1}^N \sum_{y=1}^N x^i y^j I(x, y) \quad (1)$$

したがって、0 次モーメント m_{00} は次のように表される。

$$m_{00} = \sum_{x=1}^N \sum_{y=1}^N I(x, y) \quad (2)$$

提案するモーメント抽出アーキテクチャを用いれば、この値は画像データの総和を求めるだけなので、

\log_2 (出力の最大値) すなわち $\log_2(N^2(M-1)) \simeq (2n+m)$ クロックサイクルで計算される。

1 次モーメント m_{10}, m_{01} は以下のように表される。

$$m_{10} = \sum_{x=1}^N \sum_{y=1}^N xI(x, y) \quad (3)$$

$$m_{01} = \sum_{x=1}^N \sum_{y=1}^N yI(x, y) \quad (4)$$

もし、PE が乗算機能を持っていれば、 $xI(x, y)$ および $yI(x, y)$ を PE 内で計算し、それに対して総和を計算すればよいので、 $\log_2(N^2(N-1)(M-1)/2) \simeq (3n+m)$ クロックサイクルで 1 次モーメントを計算できる。

しかし、たいていのデジタルビジョンチップは回路規模の制限から PE に乗算機能を持っていない。そのような場合でも、PE 内のデータと行/列指定バスを通じて送られてくるビットパターンとの AND を総和演算部に出力する機能さえあれば、以下に示す荷重値をビットプレーンに展開する方法 [12] により、1 次以上のモーメント量を計算することができる。

ここで、 $x_n x_{n-1} \dots x_1$ を x のバイナリ表現とする。

$$\begin{aligned} x &= x_n 2^{n-1} + x_{n-1} 2^{n-2} + \dots + x_1 2^0 \\ &= \sum_{k=1}^n x_k 2^{k-1} \end{aligned} \quad (5)$$

1 次モーメント m_{10} は次のように記述できる。

$$\begin{aligned} m_{10} &= \sum_{x=1}^N \sum_{y=1}^N xI(x, y) \\ &= \sum_{x=1}^N \sum_{y=1}^N \sum_{k=1}^n x_k 2^{k-1} I(x, y) \\ &= \sum_{k=1}^n 2^{k-1} \sum_{x=1}^N \sum_{y=1}^N x_k I(x, y) \\ &\equiv \sum_{k=1}^n 2^{k-1} s_k \end{aligned} \quad (6)$$

列指定バスによる x のビットパターンをマスクとして使う (AND をとる) ことで、 s_k は $\log_2(N^2(M-1)/2) \simeq (2n+m-1)$ クロックサイクルで計算される。したがって、 m_{10} は、 s_k の計算を $k=1$ から n まで繰り返し、チップの外でそれらをビットシフトしながら足し合わせることで計算され、合計クロックサイクル数は $n(2n+m-1)$ となる。なお、画像データがバイナリである場合 ($M=2$) に限り、これまでとは逆に、画像データのほうをマスクとみなし、列指定バスからのビットパターンをビットシリアルに総和演算部に流すことで、 $\log_2(N^2(N-1)/2) \simeq (3n-1)$ クロックサイクルで 1 次モーメントを計算することができる。

m_{01} も同様にして求められる。

また、2 次モーメント m_{20}, m_{02} は次のように表される。

$$m_{20} = \sum_{x=1}^N \sum_{y=1}^N x^2 I(x, y) \quad (7)$$

$$m_{02} = \sum_{x=1}^N \sum_{y=1}^N y^2 I(x, y) \quad (8)$$

PE が乗算機能を持っていれば、 $\log_2(N^2(N-1)(2N-1)(M-1)/6) \simeq (4n+m-1)$ クロックサイクルで計算される。そうでなければ、 x^2 および y^2 のビットパターンをマスクとして使い、 $2n \log_2(N^2(M-1)) \simeq 2n(2n+m)$ クロックサイクル以下で計算される。画像データがバイナリの場合は、 $\log_2 N^2(N-1)(2N-1)/6 \simeq (4n-1)$ クロックサイクルで計算される。

もう一方の 2 次モーメント m_{11} は以下のように記述される。

$$\begin{aligned} m_{11} &= \sum_{x=1}^N \sum_{y=1}^N xyI(x, y) \\ &= \sum_{x=1}^N \sum_{y=1}^N \sum_{k=1}^n x_k 2^{k-1} \sum_{l=1}^n y_l 2^{l-1} I(x, y) \\ &= \sum_{k=1}^n \sum_{l=1}^n 2^{k+l-2} \sum_{x=1}^N \sum_{y=1}^N x_k y_l I(x, y) \\ &\equiv \sum_{k=1}^n \sum_{l=1}^n 2^{k+l-2} s_{kl} \\ &\equiv \sum_{k=1}^n 2^{k-1} s_k \end{aligned} \quad (9)$$

PE が乗算機能を持っていれば、 $\log_2(N^2(N-1)^2(M-1)/4) \simeq (4n+m-2)$ クロックサイクルで計算される。PE が乗算機能を持たない場合でも、ビットパターンによるマスクで s_{kl} は $\log_2(N^2(M-1)) \simeq (2n+m)$ クロックサイクル以下で計算され、 m_{11} は s_{kl} の計算を n^2 回繰り返し、チップの外でそれらをビットシフトしながら足し合わせることで計算される。合計クロックサイクル数は $n^2(2n+m)$ 以下である。画像データがバイナリの場合、 s_k は $\log_2(N^2(N-1)/2) \simeq (3n-1)$ で計算され、これを n 回繰り返すことで m_{11} は $n(3n-1)$ クロックサイクルで計算される。

モーメント抽出に要するクロックサイクル数と処理時間を表 1 にまとめる。

6 VLSI 実装に関する評価

提案するアーキテクチャに基づき、HDL レベルおよび回路図レベルの両方で回路を設計した。モーメント抽出に必要な追加要素は、列総和演算部に $34N^2$ 個のトランジスタと近傍接続線が N^2 本、行総和演算部に $34N$ 個のトランジスタと N 本の近傍接続線、クロック供給のためのグローバル線が 1 本、行/列指定部に N 本の行指定バスと

表1 モーメント抽出に要するクロックサイクル数と処理時間：(A) PE が乗算機能を持つ場合 (B) PE が乗算機能を持たない場合；PE 内の処理とチップ外の処理は含まれない。；クロック周期は $2.0Nns$ とする。

アルゴリズム	クロックサイクル (実行時間)	
	(A)	(B)
0 次モーメント m_{00}		
($N=64, M=64$)	18(2.3 μs)	18(2.3 μs)
($N=256, M=64$)	22(11 μs)	22(11 μs)
($N=256, M=2$)	16(8.2 μs)	16(8.2 μs)
1 次モーメント m_{10}, m_{01}		
($N=64, M=64$)	25(3.2 μs)	102(13 μs)
($N=256, M=64$)	29(15 μs)	168(86 μs)
($N=256, M=2$)	23(12 μs)	23(12 μs)
2 次モーメント m_{20}, m_{02}		
($N=64, M=64$)	29(3.7 μs)	$\leq 216(28\mu s)$
($N=256, M=64$)	37(19 μs)	$\leq 352(180\mu s)$
($N=256, M=2$)	31(16 μs)	31(16 μs)
2 次モーメント m_{11}		
($N=64, M=64$)	28(3.6 μs)	$\leq 648(83\mu s)$
($N=256, M=64$)	36(18 μs)	$\leq 1408(720\mu s)$
($N=256, M=2$)	30(15 μs)	184(94 μs)

N 本の列指定バスである。PE あたりの追加トランジスタ数は $N \rightarrow$ 大で 38 であり、これは S^3PE ビジョンチップのトランジスタ数の 10% 以下である。バイナリ画像のみを扱うデジタルビジョンチップに対しては、全加算器の代わりに半加算器を用いることで、PE あたりの追加トランジスタ数は 28 に減少する。ダイナミック回路を採用すれば、さらにトランジスタ数を減らすことができる。PE 単位で均質な構造を持っているので、VLSI への実装が容易である。

設計した回路はデジタルおよびアナログシミュレーションで検証され、正しく動作することが確認された。回路の最短クロック周期は全加算器のゲート遅延に依存し、例えばこの値を 1ns と仮定すると、最短クロック周期は $2Nns$ となる。0.35 μm CMOS プロセスのパラメータを用いたシミュレーションでは、最短クロック周期は $1.2Nns$ であった。

7 おわりに

本発表では、デジタルビジョンチップに適したモーメント抽出アーキテクチャの提案を行なった。モーメント量は画像の基本的なグローバル特徴量であり、本アーキテクチャはさまざまなアプリケーションに効果的である。 μs のオーダーの高速モーメント抽出は、複数物体の追跡などといった複雑な処理をも可能にする。

我々はこのモーメント抽出アーキテクチャを今後開発するデジタルビジョンチップに取り入れていく予定である。デバイスおよびシステムとしての評価はその後で行なわれるだろう。

参考文献

- [1] C. Mead and M. Mahowald, "A Silicon Model of

Early Visual Processing", Neural Network, Vol.1, pp.91-97, Jul., 1988.

- [2] Masatoshi Ishikawa, Akira Morita, and Nobuo Takayanagi, "High Speed Vision System Using Massively Parallel Processing", Proc. IROS'92, pp.373-377, 1992.
- [3] 中坊嘉宏, 石井抱, 石川正俊: 超並列・超高速ビジョンを用いた 1ms ターゲットトラッキングシステム, 日本ロボット学会誌, Vol.15, No.3, pp.417-421, 1997.
- [4] 大脇崇史, 中坊嘉宏, 並木明夫, 石井抱, 石川正俊: 視触覚モダリティ変換を用いたリアルタイム実環境仮想接触システム, 電子情報通信学会論文誌 D-II, Vol.J81-D-II, No.5, pp.918-924, 1998.
- [5] 並木明夫, 中坊嘉宏, 石井抱, 石川正俊: 高速視覚フィードバックを用いた最適把握行動, 日本機械学会ロボット・メカトロニクス'98 講演会論文集, 1998.
- [6] Idaku Ishii, Yoshihiro Nakabo, and Masatoshi Ishikawa: Target Tracking Algorithm for 1ms Visual Feedback System Using Massively Parallel Processing, Proc. IEEE Int. Conf. Robotics and Automation, pp.2309-2314, 1996.
- [7] 小室孝, 鈴木伸介, 石井抱, 石川正俊: 汎用プロセッシングエレメントを用いた超並列・超高速ビジョンチップの設計, 電子情報通信学会論文誌, Vol.J81-D-I, No.2, pp.70-76, 1998.
- [8] Masatoshi Ishikawa, Kazuya Ogawa, Takashi Komuro, and Idaku Ishii: A CMOS Vision Chip with SIMD Processing Element Array for 1ms Image Processing, 1999 IEEE Int. Solid-State Circuits Conf. (ISSCC'99) Dig. Tech. Papers, pp.206-207, 1999.
- [9] Thierry M. Bernard, Bertrand Y. Zavidovique and Francis J. Devos, "A Programmable Artificial Retina", IEEE Journal of Solid-State Circuits, Vol.28, No.7, pp.789-797, 1993.
- [10] Jan-Erik Eklund, Christer Svensson and Anders Åström, "VLSI Implementation of a Focal Plane Image Processor - A Realization of the Near-Sensor Image Processing Concept", IEEE Trans. VLSI Systems, Vol.4, No.3, pp.322-335, 1996.
- [11] 向井利春, 石川正俊, "並列ビジョンのための 2 次元座標変換回路", 電子情報通信学会技術報告, Vol.92, No.329, pp.111-116, 1992.
- [12] 石井抱, 小室孝, 石川正俊, "ビットプレーン特徴分解を用いたモーメント計算法", 電子情報通信学会技術報告, PRMU 研究会 (to be appeared), 1999.

複写される方へ

本誌に掲載された著作物を複写したい方は、(社)日本複写権センターと包括複写許諾契約を締結されている企業の従業員以外は、著作権者から複写権等の行使の委託を受けている次の団体から許諾を受けて下さい。著作物の転載・翻訳のような複写以外の許諾は、直接本会へご連絡下さい。

〒107-0052 東京都港区赤坂9-6-41 乃木坂ビル 学術著作権協会
TEL: 03-3475-5618 FAX: 03-3475-5619 E-mail: kammori@msh.biglobe.ne.jp

アメリカ合衆国における複写については、次に連絡して下さい。

Copyright Clearance Center, Inc.
222 Rosewood Drive, Danvers, MA 01923 USA
Phone: 978-750-8400 FAX: 978-750-4744 www.copyright.com

Notice about photocopying

In order to photocopy any work from this publication, you or your organization must obtain permission from the following organization which has been delegated for copyright for clearance by the copyright owner of this publication.

Except in the USA

Japan Academic Association for Copyright Clearance (JAACC)
41-6 Akasaka 9-chome, Minato-ku, Tokyo 107-0052 Japan
TEL: +81-3-3475-5618 FAX: +81-3-3475-5619 E-mail: kammori@msh.biglobe.ne.jp

In the USA

Copyright Clearance Center, Inc. (CCC)
222 Rosewood Drive, Danvers, MA 01923 USA
Phone: +1-978-750-8400 FAX: +1-978-750-4744 URL: <http://www.copyright.com>

電子情報通信学会技術研究報告

信学技報 Vol. 99 No. 182
1999年7月16日発行

IEICE Technical Report

©電子情報通信学会 1999

Copyright: © 1999 by the Institute of Electronics, Information and Communication Engineers. (IEICE)

発行人 東京都港区芝公園3丁目5番8号 機械振興会館内

社団法人 電子情報通信学会 事務局長 家田信明

発行所 東京都港区芝公園3丁目5番8号

社団法人 電子情報通信学会 電話 (03) 3433-6691
郵便振替口座 00120-0-35300

The Institute of Electronics, Information and Communication Engineers,
Kikai-Shinko-Kaikan Bldg., 5-8, Shibakoen 3 chome, Minato-ku,
TOKYO, 105-0011 JAPAN

本技術研究報告に掲載された論文の著作権は(社)電子情報通信学会に帰属します。

Copyright and reproduction permission: All rights are reserved and no part of this publication may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopy, recording, or any information storage and retrieval system, without permission in writing from the publisher. Notwithstanding, instructors are permitted to photocopy isolated articles for noncommercial classroom use without fee.



宣 誓 書

別紙添付の刊行物、電子情報通信学会技術研究報告 PR MU 99-51 に記載の発明について、私共は共同で発明したことを宣誓致します。

平成 12 年 1 月 14 日

千葉県柏市大室 1 5 7 1 番地の 3 2

石川 正俊



東京都文京区白山五丁目 1 3 番 7 号

石井 抱



東京都北区西ヶ原一丁目 2 7 番 5 1 号

小室 孝



東京都中野区新井一丁目 1 5 番 7 号

中坊 嘉宏



東京都江東区福住二丁目 4 番 3 号

日本プレシジョン・サーキット株式会社内

吉田 淳



(B)20000240157



譲 渡 証 書

平成11年12月21日

譲 受 人 住所 ~~千葉県柏市大宮1571-32~~
石 川 正 俊 殿

東京都中央区京橋二丁目6番21号
日本プレシジョン・サーキット株式会社
代表取締役 田 淵 紀 雄 殿

譲 渡 人 住所 東京都中野区新井 1-15-7-201

氏名

中 坊 嘉 宏



下記の発明について、日本及び外国において特許を受ける権利を貴社に譲渡したことに相違ありません。

記

発明の名称

画 像 検 出 処 理 装 置



譲渡証書

平成11年12月13日

譲受人 住所 ~~千葉県柏市大室1571-32~~
石川 正俊 殿

東京都中央区京橋二丁目6番21号
日本プレシジョン・サーキッツ株式会社
代表取締役 田淵 紀雄 殿

譲渡人 住所 東京都文京区白45-13-7 306

氏名 石井 抱



住所 東京都北区西ヶ原1-27-51-201

氏名 小室 孝



住所 ~~千葉県柏市大室1571-32~~

氏名 石川 正俊



住所 東京都江東区福住二丁目4番3号
日本プレシジョン・サーキッツ株式会社内

氏名 吉田 淳



下記の発明について、日本及び外国において特許を受ける権利を貴社に譲渡したことに相違ありません。

記

発明の名称

画像検出処理装置

出 願 人 履 歴 情 報

識別番号 [5 9 6 0 9 4 7 4 0]

1. 変更年月日 1 9 9 6 年 6 月 2 8 日
[変更理由] 新規登録
住 所 千葉県柏市大室 1 5 7 1 番地の 3 2
氏 名 石川 正俊

出 願 人 履 歴 情 報

識別番号 [390009667]

1. 変更年月日 1993年11月 1日
[変更理由] 住所変更
住 所 東京都中央区京橋二丁目6番21号
氏 名 日本プレシジョン・サーキット株式会社
2. 変更年月日 2000年 7月 6日
[変更理由] 住所変更
住 所 東京都江東区福住二丁目4番3号
氏 名 日本プレシジョン・サーキット株式会社